

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2002年6月13日 (13.06.2002)

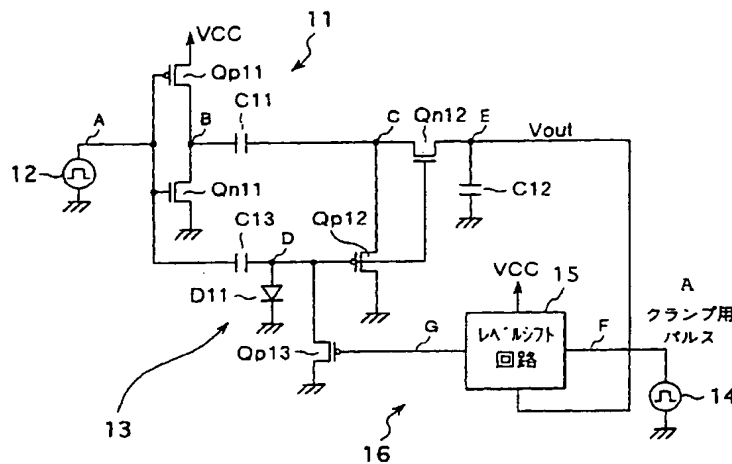
PCT

(10) 国際公開番号  
WO 02/47243 A1

- (51) 国際特許分類: H02M 3/07 (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 仲島義晴 (NAKA-JIMA, Yoshiharu) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP01/10694
- (22) 国際出願日: 2001年12月6日 (06.12.2001) (74) 代理人: 中村友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): CN, KR, US.
- (30) 優先権データ: (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- 特願2000-371045 2000年12月6日 (06.12.2000) JP  
特願2000-372351 2000年12月7日 (07.12.2000) JP  
特願2000-372352 2000年12月7日 (07.12.2000) JP  
特願2000-372353 2000年12月7日 (07.12.2000) JP
- 添付公開書類:  
— 国際調査報告書
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP). 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SOURCE VOLTAGE CONVERSION CIRCUIT AND ITS CONTROL METHOD, DISPLAY, AND PORTABLE TERMINAL

(54) 発明の名称: 電源電圧変換回路およびその制御方法、ならびに表示装置および携帯端末



15...LEVEL SHIFT CIRCUIT

A...CLAMP PULSE

(57) Abstract: A source voltage conversion circuit comprising a charge pump circuit with switching devices (a N-ch MOS transistor Qn (12) and a P-ch MOS transistor Qp (12)) in the output section wherein a switching pulse voltage (control pulse voltage) for the switching devices is diode-clamped by a first clamp circuit (13) when the source voltage conversion circuit is started, and wherein the switching pulse voltage is clamped to a ground level (negative side circuit source potential) by a second clamp circuit (16) on the basis of a clamp pulse comprising an output voltage Vout when a starting process is ended, so that a sufficient drive voltage particularly for the Pch-MOS transistor Qp(12) is obtained. This constitution provides a source voltage conversion circuit which can obtain a large current capacity with a small area circuit scale and its control method, a display loaded with the source voltage conversion circuit as the power circuit, and a portable terminal comprising this display.

[続葉有]



---

(57) 要約:

出力部にスイッチ素子（NchMOSトランジスタ $Q_n$ （12）およびPchMOSトランジスタ $Q_p$ （12））を有するチャージポンプ回路を用いた電源電圧変換回路において、その起動時にスイッチ素子に対するスイッチングパルス電圧（制御パルス電圧）を第1のクランプ回路（13）によってダイオードクランプし、起動プロセス終了時に出力電圧 $V_{out}$ を用いたクランプ用パルスに基づいて第2のクランプ回路（16）によってスイッチングパルス電圧をグラウンドレベル（負側の回路電源電位）にクランプすることにより、特にPchMOSトランジスタ $Q_p$ （12）に対して十分な駆動電圧を得る。これにより、小面積の回路規模にて大きな電流容量を得ることが可能な電源電圧変換回路およびその制御方法、ならびに電源電圧変換回路を電源回路として搭載した表示装置およびこの表示装置を備えた携帯端末を提供する。

## 明細書

電源電圧変換回路およびその制御方法、ならびに表示装置および携帯端末

5

## 技術分野

本発明は、電源電圧変換回路およびその制御方法、ならびに表示装置および携帯端末に関し、特にチャージポンプ回路を用いた電源電圧変換回路およびその制御方法、ならびに電源電圧変換回路を電源回路として搭載した表示装置およびこの表示装置を備えた携帯端末に関する。

10

## 背景技術

近年、携帯電話機やPDA(Personal Digital Assistants)などの携帯端末の普及がめざましい。これら携帯端末の急速な普及の要因の一つとして、その出力表示部として搭載されている液晶表示装置が挙げられる。その理由は、液晶表示装置が原理的に駆動するための電力をあまり必要としない特性を持ち、低消費電力の表示デバイスであるからである。

15

携帯端末では、電源として単一電源電圧のバッテリーが用いられる。一方、液晶表示装置において、行列状に配列された各画素に信号線を通して情報を書き込む水平駆動回路では、ロジック部とアナログ部とで異なる直流電圧が用いられ、また各画素を行単位で選択する垂直駆動回路では、水平駆動回路側よりも絶対値の大きい直流電圧が用いられることになる。したがって、携帯端末に搭載される液晶表示装置には、単一の直流電圧を電圧値の異なる

20

25

複数種類の直流電圧に変換する電源電圧変換回路、いわゆるDC-DCコンバータ(以下、DDコンバータと記す)が用いられる。

従来、液晶表示装置におけるDDコンバータには、インダクタLを用いたものが一般的に使用されてきた。しかし、近年の携帯  
5 端末の低消費電力化、小型化に伴ってチャージポンプ型のものも多く使用されるようになってきている。チャージポンプ型DDコンバータは、電流容量が比較的少ないものの、外付け部品としてインダクタLを使わなくて済むため携帯端末の小型化に寄与できるという利点を持っている。

10 第1図に、従来例1に係る負電圧発生タイプのチャージポンプ型DDコンバータの構成を示す。

第1図において、単一の直流電圧VCCを与える電源とグラウンド(GND)との間には、PchMOSトランジスタQp101とNchMOSトランジスタQn101とが直列に接続され、かつ各  
15 ゲートが共通に接続されてCMOSインバータ101を構成している。このCMOSインバータ101のゲート共通接続点には、パルス発生源102から所定の周波数のスイッチングパルスが印加される。

CMOSインバータ101のドレイン共通接続点(ノードA)  
20 には、コンデンサC101の一端が接続されている。コンデンサC101の他端には、ダイオードD101のアノードおよびダイオードD102のカソードがそれぞれ接続されている。ダイオードD101のカソードは接地されている。ダイオードD102のアノードとグラウンドとの間には負荷コンデンサC102が接続  
25 されている。

上記構成の負電圧発生タイプのDDコンバータにおいては、原

理的に、電源電圧  $V_{CC}$  の  $-1$  倍、即ち負の直流電圧  $-V_{CC}$  が負荷コンデンサ  $C_{102}$  の両端間に導出されることになる。

第 2 図に、従来例 1 に係る昇圧タイプのチャージポンプ型  $DD$  コンバータの構成を示す。基本的な構成については、負電圧発生  
5 タイプのチャージポンプ型  $DD$  コンバータと同じである。すなわち、第 2 図において、ダイオード  $D_{101}$  がコンデンサ  $C_{101}$  の他端と電源 ( $V_{CC}$ ) との間に接続されている点が第 1 図の負電圧発生タイプの  $DD$  コンバータと相違するのみである。この昇圧タイプの  $DD$  コンバータにおいては、原理的に、電源電圧  $V_{CC}$   
10  $C$  の 2 倍、即ち直流電圧  $2 \times V_{CC}$  が負荷コンデンサ  $C_{102}$  の両端間に導出されることになる。

しかしながら、上記構成の従来例 1 に係るチャージポンプ型  $DD$  コンバータでは、ダイオード  $D_{101}$  によるクランプを利用した構成であるため、第 3 図および第 4 図の各タイミングチャート  
15 から明らかなように、無負荷時でも出力電圧  $V_{out}$  が  $-1$  倍あるいは 2 倍の電圧値に到達せず、ダイオードのしきい値電圧  $V_{th}$  の 2 倍分だけシフトしてしまうという問題がある。なお、第 3 図および第 4 図の各タイミングチャートには、第 1 図および第 2 図の各回路におけるノード  $A \sim C$  の各信号波形  $A \sim C$  を示して  
20 いる。

この従来例 1 の問題点を改善したのが、第 5 図および第 6 図に示す従来例 2 に係るチャージポンプ型  $DD$  コンバータである。第 5 図および第 6 図において、第 1 図および第 2 図と同等部分には  
25 の  $DD$  コンバータを、第 6 図は昇圧タイプの  $DD$  コンバータをそれぞれ示しており、両者の基本的な構成は同じである。

先ず、負電圧発生タイプのDDコンバータについて説明する。  
第5図において、コンデンサC101の他端には、NchMOSト  
ランジスタQn102のドレインおよびPchMOSトランジス  
タQp102のソースがそれぞれ接続されている。NchMOSト  
5 ランジスタQn102のソースとグランドとの間には、負荷コン  
デンサC102が接続されている。PchMOSトランジスタQp  
102のドレインは接地されている。

CMOSインバータ101のゲート共通接続点には、コンデン  
サC103の一端が接続されている。コンデンサC103の他端  
10 には、ダイオードD101のアノード、NchMOSトランジスタ  
Qn102およびPchMOSトランジスタQp102の各ゲ  
ートがそれぞれ接続されている。ダイオードD101のカソードは  
接地されている。

上記構成の負電圧発生タイプのDDコンバータでは、第7図の  
15 タイミングチャートから明らかなように、無負荷時に出力電圧V  
o u t が電源電圧V C C の-1倍の電圧値に到達することにな  
る。

一方、第6図に示す昇圧タイプのDDコンバータは、スイッ  
チングトランジスタQp103、Qn103が逆導電型となるとと  
20 もに、ダイオードD101がコンデンサC101の他端と電源  
(V C C)との間に接続されている点が、第5図に示す負電圧発  
生タイプのDDコンバータと相違するのみである。この昇圧タイ  
プのDDコンバータでは、無負荷時に出力電圧V o u t が電源電  
圧V C C の2倍の電圧値に到達することになる。

25 なお、第7図および第8図の各タイミングチャートには、第5  
図および第6図の各回路におけるノードA～Cの各信号波形A

～Cを示している。

しかしながら、上記構成の従来例2に係るチャージポンプ型D  
Dコンバータでは、スイッチングトランジスタ（MOSトランジ  
スタQn102, Qp102）に対するスイッチングパルス電圧、  
5 即ちノードDの電圧レベルがダイオードD101のしきい値電  
圧V<sub>th</sub>だけシフトした電圧値でクランプされるため、スイッ  
チングトランジスタ、特にPchMOSトランジスタQp102に対  
して十分な駆動電圧をとれない場合が起こる。

このため、PchMOSトランジスタQp102のトランジスタ  
10 サイズを大きく設定しなければならず、その結果、トランジ  
スタサイズの増加によって回路面積が増加したり、あるいは電流容  
量が低下するなどの問題が発生する。また、省電力モード等にお  
いてポンピング動作を一時的に止めた場合に、スイッチングパル  
スのデューティ比の変化とともに、スイッチングパルス電圧のク  
15 ランプレベルが変動してしまい、結果として、電流容量の低下な  
どの問題が発生する。

上記の問題は、いずれもトランジスタのしきい値V<sub>th</sub>が大き  
なとき、また、そのばらつきが大きくなときに深刻となる。たとえ  
ば、薄膜トランジスタ（TFT; Thin Film Transistor）を用い  
20 てガラス基板上に回路を形成する場合にその問題は重要なボー  
イントとなる。なお、薄膜トランジスタの形成に使用されるアモル  
ファスシリコンやポリシリコン（多結晶シリコン）は、単結晶シ  
リコンに比べて結晶性が悪く、導電機構の制御性が悪いことから、  
形成された薄膜トランジスタは、その特性のばらつきが大きいこ  
25 とが知られている。

そこで、本発明は、小面積の回路規模にて大きな電流容量を得

ることが可能な電源電圧変換回路およびその制御方法、ならびに電源電圧変換回路を電源回路として搭載した表示装置およびこの表示装置を備えた携帯端末を提供することを目的とする。

## 5 発明の開示

上記目的を達成するために、本発明では、出力部にスイッチ素子を有するチャージポンプ回路を用いた電源電圧変換回路において、スイッチ素子に対する制御パルス電圧を起動時にダイオードクランプする第1のクランプ回路と、制御パルス電圧を起動プロセス終了時に回路電源電位にクランプする第2のクランプ回路とを設けた構成を採っている。この電源電圧変換回路は、表示装置の電源回路として用いられる。また、この電源電圧変換回路を備えた表示装置は、携帯端末の表示部として用いられる。

上記構成の電源電圧変換回路において、起動時（電源投入時）に第1のクランプ回路がダイオードクランプすることで、制御パルス電圧の電圧値が回路電源電位からダイオードのしきい値電圧分だけシフトした電位にクランプされる。この制御パルスに基づいて出力部のスイッチ素子が動作することで、出力電圧が導出される。そして、起動プロセス終了時には、制御パルス電圧の電圧値が回路電源電位にクランプされる。これにより、チャージポンプ回路での以降のポンピング動作において、スイッチ素子に対して十分な駆動電圧が得られる。

## 図面の簡単な説明

第1図は、従来例1に係る負電圧発生タイプのチャージポンプ型DDコンバータの構成を示す回路図である。



第 2 図は、従来例 1 に係る昇圧タイプのチャージポンプ型 D D コンバータの構成を示す回路図である。

第 3 図は、従来例 1 に係る負電圧発生タイプのチャージポンプ型 D D コンバータの回路動作を説明するためのタイミングチャートである。

第 4 図は、従来例 1 に係る昇圧タイプのチャージポンプ型 D D コンバータの回路動作を説明するためのタイミングチャートである。

第 5 図は、従来例 2 に係る負電圧発生タイプのチャージポンプ型 D D コンバータの構成を示す回路図である。

第 6 図は、従来例 2 に係る昇圧タイプのチャージポンプ型 D D コンバータの構成を示す回路図である。

第 7 図は、従来例 2 に係る負電圧発生タイプのチャージポンプ型 D D コンバータの回路動作を説明するためのタイミングチャートである。

第 8 図は、従来例 2 に係る昇圧タイプのチャージポンプ型 D D コンバータの回路動作を説明するためのタイミングチャートである。

第 9 図は、本発明の一実施形態に係る負電圧発生タイプのチャージポンプ型 D D コンバータの構成例を示す回路図である。

第 1 0 図は、本発明の一実施形態に係る負電圧発生タイプのチャージポンプ型 D D コンバータの回路動作を説明するためのタイミングチャートである。

第 1 1 図は、本発明の一実施形態に係る昇圧タイプのチャージポンプ型 D D コンバータの構成例を示す回路図である。

第 1 2 図は、本発明の一実施形態に係る昇圧タイプのチャージ

ポンプ型 D D コンバータの回路動作を説明するためのタイミングチャートである。

第 1 3 図は、本発明に係る表示装置の構成例を示す概略構成図である。

5 第 1 4 図は、液晶表示装置の表示エリア部の構成例を示す回路図である。

第 1 5 図は、第 1 適用例に係るアクティブマトリックス型液晶表示装置の構成例を示すブロック図である。

10 第 1 6 図は、省電力モードを選択的に採る表示装置を示す概略構成図である。

第 1 7 図は、応用例 1 に係る負電圧発生タイプのチャージポンプ型 D D コンバータの構成を示す回路図である。

第 1 8 図は、応用例 1 に係る昇圧タイプのチャージポンプ型 D D コンバータの構成を示す回路図である。

15 第 1 9 図は、応用例 2 に係る負電圧発生タイプのチャージポンプ型 D D コンバータの構成を示す回路図である。

第 2 0 図は、応用例 2 に係る負電圧発生タイプのチャージポンプ型 D D コンバータの回路動作を説明するためのタイミングチャートである。

20 第 2 1 図は、応用例 2 に係る昇圧タイプのチャージポンプ型 D D コンバータの構成を示す回路図である。

第 2 2 図は、応用例 2 に係る昇圧タイプのチャージポンプ型 D D コンバータの回路動作を説明するためのタイミングチャートである。

25 第 2 3 図は、応用例 3 に係る負電圧発生タイプのチャージポンプ型 D D コンバータの構成を示す回路図である。

第 2 4 図は、応用例 3 に係る負電圧発生タイプのチャージポンプ型 D D コンバータの回路動作を説明するためのタイミングチャートである。

5 第 2 5 図は、応用例 3 に係る昇圧タイプのチャージポンプ型 D D コンバータの構成を示す回路図である。

第 2 6 図は、応用例 3 に係る昇圧タイプのチャージポンプ型 D D コンバータの回路動作を説明するためのタイミングチャートである。

10 第 2 7 図は、応用例 4 に係る負電圧発生タイプのチャージポンプ型 D D コンバータの構成を示す回路図である。

第 2 8 図は、応用例 4 に係る負電圧発生タイプのチャージポンプ型 D D コンバータの回路動作を説明するためのタイミングチャートである。

15 第 2 9 図は、応用例 4 に係る昇圧タイプのチャージポンプ型 D D コンバータの構成を示す回路図である。

第 3 0 図は、応用例 4 に係る昇圧タイプのチャージポンプ型 D D コンバータの回路動作を説明するためのタイミングチャートである。

20 第 3 1 図は、チャージポンプ型 D D コンバータからなる電源回路に対してスイッチングパルスを供給する一例を示すブロック図である。

第 3 2 図は、チャージポンプ型 D D コンバータからなる電源回路に対してスイッチングパルスを供給する他の例を示すブロック図である。

25 第 3 3 図は、第 2 適用例に係るアクティブマトリックス型液晶表示装置の構成例を示すブロック図である。

第 3 4 図は、応用例 5 に係る負電圧発生タイプのチャージポンプ型 D D コンバータの構成を示す回路図である。

第 3 5 図は、応用例 5 に係る負電圧発生タイプのチャージポンプ型 D D コンバータの回路動作を説明するためのタイミングチャートである。

第 3 6 図は、応用例 5 に係る昇圧タイプのチャージポンプ型 D D コンバータの構成を示す回路図である。

第 3 7 図は、応用例 5 に係る昇圧タイプのチャージポンプ型 D D コンバータの回路動作を説明するためのタイミングチャートである。

第 3 8 図は、応用例 6 に係る負電圧発生タイプのチャージポンプ型 D D コンバータの構成を示す回路図である。

第 3 9 図は、応用例 6 に係る昇圧タイプのチャージポンプ型 D D コンバータの構成を示す回路図である。

第 4 0 図は、応用例 7 に係る負電圧発生タイプのチャージポンプ型 D D コンバータの構成を示す回路図である。

第 4 1 図は、応用例 7 に係る昇圧タイプのチャージポンプ型 D D コンバータの構成を示す回路図である。

第 4 2 図は、本発明に係る携帯端末である携帯電話機の構成の概略を示す外観図である。

発明を実施するための最良の形態

以下、本発明の実施の形態について図面を参照して詳細に説明する。第 9 図は、本発明の一実施形態に係る電源電圧変換回路である負電圧発生タイプのチャージポンプ型 D D コンバータの構成例を示す回路図である。

第1図において、単一の直流電源電圧VCCを与える電源とグラウンド（GND）との間には、PchMOSトランジスタQp11とNchMOSトランジスタQn11とが直列に接続され、かつ各ゲートが共通に接続されてCMOSインバータ11を構成している。このCMOSインバータ11のゲート共通接続点には、パルス発生源12から所定の周波数のスイッチングパルスが印加される。

CMOSインバータ11のドレイン共通接続点（ノードB）には、コンデンサC11の一端が接続されている。コンデンサC11の他端には、スイッチ素子、例えばNchMOSトランジスタQn12のドレインおよびPMOSトランジスタQp12のソースがそれぞれ接続されている。NchMOSトランジスタQn12のソースとグラウンドとの間には、負荷コンデンサC12が接続されている。

CMOSインバータ11のゲート共通接続点には、コンデンサC13の一端が接続されている。コンデンサC13の他端には、ダイオードD11のアノードが接続されている。ダイオードD11は、そのカソードが接地されて第1のクランプ回路13を構成している。コンデンサC13の他端にはさらに、NchMOSトランジスタQn12およびPchMOSトランジスタQp12の各ゲートがそれぞれ接続されている。PchMOSトランジスタQp12のドレインは接地されている。

コンデンサC13の他端とグラウンドとの間には、PchMOSトランジスタQp13が接続されている。このPchMOSトランジスタQp13のゲートには、パルス発生源14で発生されるクランプ用パルスがレベルシフト回路15でレベルシフトされて与

えられる。これら PchMOS トランジスタ  $Q_{p13}$ 、パルス発生源 14 およびレベルシフト回路 15 は、スイッチングトランジスタ (NchMOS トランジスタ  $Q_{n12}$  および PchMOS トランジスタ  $Q_{p12}$ ) のスイッチングパルス電圧をクランプする第 2 の  
5 クランプ回路 16 を構成している。

この第 2 のクランプ回路 16 において、レベルシフト回路 15 は、本 DD コンバータに入力される電源電圧  $V_{CC}$  を正側回路電源、負荷コンデンサ  $C_{12}$  の両端から導出される本回路の出力電圧  $V_{out}$  を負側回路電源とし、パルス発生源 14 で発生される  
10 第 1 の振幅 ( $V_{CC} - 0$  [V]) のクランプ用パルスを、第 2 の振幅 ( $V_{CC} - V_{out}$  [V]) のクランプ用パルスにレベルシフトして PchMOS トランジスタ  $Q_{p13}$  のゲートに与える。これにより、PchMOS トランジスタ  $Q_{p13}$  のスイッチング動作がより確実に行われることになる。

15 次に、上記構成の負電圧発生タイプのチャージポンプ型 DD コンバータにおける回路動作につき、第 10 図のタイミングチャートを用いて説明する。このタイミングチャートにおいて、波形 A ~ G は第 9 図の回路におけるノード A ~ G の各信号波形をそれぞれ示している。

20 電源投入時 (起動時) には、パルス発生源 12 で発生されるスイッチングパルスに基づくコンデンサ  $C_{13}$  の出力電位、即ちノード D の電位は、先ずダイオード  $D_{11}$  によって、負側の回路電源電位であるグランド (GND) レベルからダイオード  $D_{11}$  のしきい値電圧  $V_{th}$  分だけレベルシフトした電位に “H” レベル  
25 クランプされる。

そして、スイッチングパルスが “L” レベル (0 V) のときは、

PchMOSトランジスタ $Q_{p11}$ ,  $Q_{p12}$ がオン状態となるため、コンデンサ $C_{11}$ が充電される。このとき、NchMOSトランジスタ $Q_{n11}$ がオフ状態にあるため、ノードBの電位が $V_{CC}$ レベルとなる。次いで、スイッチングパルスが“H”レベル( $V_{CC}$ )になると、NchMOSトランジスタ $Q_{n11}$ ,  $Q_{n12}$ が  
5 オン状態となり、ノードBの電位がグラウンドレベル(0V)になるため、ノードCの電位が $-V_{CC}$ レベルとなる。このノードCの電位がそのままNchMOSトランジスタ $Q_{n12}$ を通して出力電圧 $V_{out}$  ( $= -V_{CC}$ )となる。

10 次に、出力電圧 $V_{out}$ がある程度立ち上がると(起動プロセス終了時)、クランプパルス用のレベルシフト回路15が動作を始める。このレベルシフト回路15が動作し始めると、パルス発生源14で発生された振幅 $V_{CC} - 0$  [V]のクランプ用パルスは、当該レベルシフト回路15において、振幅 $V_{CC} - V_{out}$   
15 [V]のクランプ用パルスにレベルシフトされ、しかる後PchMOSトランジスタ $Q_{p13}$ のゲートに印加される。

このとき、クランプ用パルスの“L”レベルが出力電圧 $V_{out}$ 、即ち $-V_{CC}$ であるため、PchMOSトランジスタ $Q_{p13}$ が確実にオン状態となる。これにより、ノードDの電位は、グラ  
20 ウンドレベルからダイオード $D_{11}$ のしきい値電圧 $V_{th}$ 分だけレベルシフトした電位ではなく、グラウンドレベル(負側の回路電源電位)にクランプされる。これにより、以降のポンピング動作において、特にPchMOSトランジスタ $Q_{p12}$ に対して十分な駆動電圧が得られる。

25 上述したように、チャージポンプ回路を用いたDDコンバータにおいて、その出力部に設けられたスイッチ素子(NchMOSト

ランジスタ  $Q_{n12}$  および  $PchMOS$  トランジスタ  $Q_{p12}$  ) に対する制御パルス (スイッチングパルス) 電圧を、本回路の起動時には先ず第 1 のクランプ回路 13 のダイオード  $D_{11}$  によるクランプ、起動プロセス終了後は第 2 のクランプ回路 16 によるクランプ、というように 2 段階に分けてクランプすることにより、  
5 特に  $PchMOS$  トランジスタ  $Q_{p12}$  に対して十分な駆動電圧をとることができる。

これにより、 $PchMOS$  トランジスタ  $Q_{p12}$  において十分なスイッチング電流が得られるようになるため、安定した  $DC-DC$  変換動作が行えるようになるとともに、変換効率を向上させることができる。特に、 $PchMOS$  トランジスタ  $Q_{p12}$  のトランジスタサイズを大きくしなくても、十分なスイッチング電流が得られるため、小面積の回路規模にて電流容量の大きな  $DD$  コンバータを実現できる。その効果は、しきい値  $V_{th}$  が大きいトランジスタ、例えば薄膜トランジスタを用いた場合に特に大きい。  
10  
15

第 11 図に、昇圧タイプのチャージポンプ型  $DD$  コンバータの構成例を示す。基本的な回路構成および回路動作については、第 9 図に示す負電圧発生タイプのチャージポンプ型  $DD$  コンバータと同じである。

すなわち、第 11 図において、スイッチングトランジスタおよび第 2 のクランプ用トランジスタ ( $MOS$  トランジスタ  $Q_{p14}$ ,  $Q_{n14}$ ,  $Q_{n13}$ ) が、第 9 図の回路の  $MOS$  トランジスタ  $Q_{n12}$ ,  $Q_{p12}$ ,  $Q_{p13}$  と逆導電型となるとともに、ダイオード  $D_{11}$  がコンデンサ  $C_{11}$  の他端と電源 ( $VCC$ ) との間に接続され、かつレベルシフト回路 15 が本回路の出力電圧  $V_{out}$  を正側回路電源とし、グランドレベルを負側回路電源とした構  
20  
25



成となっており、この点が第 9 図の回路と構成上相違するのみである。

回路動作上においても、基本的には、第 9 図に示す負電圧発生タイプの D D コンバータと全く同じである。異なるのは、スイッチングパルス電圧（制御パルス電圧）が起動時に先ずダイオードクランプされ、起動プロセス終了時に V C C レベル（正側の回路電源電位）にクランプされ、また出力電圧 V o u t として電源電圧 V C C の 2 倍の電圧値  $2 \times V C C$  が導出される点だけである。第 1 2 図は、第 1 1 図の回路におけるノード A ~ G の各信号波形 A ~ G を示すタイミングチャートである。

#### 〔第 1 適用例〕

上記実施形態に係るチャージポンプ型の D D コンバータ（電源電圧変換回路）は、例えば、電気光学素子として液晶セルを用いた画素がマトリクス状に配置されてなるアクティブマトリクス型液晶表示装置などの表示装置の電源回路として用いられる。その構成の一例を第 1 3 図に示す。ここでは、アクティブマトリクス型液晶表示装置の場合を例に採って説明するものとする。

第 1 3 図において、透明絶縁基板、例えばガラス基板 2 1 上には、液晶セルを含む画素が行列状に多数配列されてなる表示エリア部 2 2 と共に、上下一対の H ドライバ（水平駆動回路）2 3 U, 2 3 D および V ドライバ（垂直駆動回路）2 4 が搭載されている。ガラス基板 2 1 上にはさらに、電源回路 2 5 および省電力モードコントロール回路 2 6 等の周辺回路も集積されている。

ガラス基板 2 1 は、能動素子（例えば、トランジスタ）を含む多数の画素回路が行列状に配置形成される第 1 の基板と、この第 1 の基板と所定の間隙をもって対向して配置される第 2 の基板

とによって構成される。そして、これら第1、第2の基板間に液晶材料が封止されることにより液晶表示パネルが形成される。

第14図に、表示エリア部22の具体的な構成の一例を示す。ここでは、図面の簡略化のため、3行( $n-1$ 行 $\sim n+1$ 行)4列( $m-2$ 列 $\sim m+1$ 列)の画素配列の場合を例に採って示している。第14図において、表示エリア部22には、垂直走査ライン $\dots, 31n-1, 31n, 31n+1, \dots$ と、データライン(信号ライン) $\dots, 32m-2, 32m-1, 32m, 32m+1, \dots$ とがマトリクス状に配線され、それらの交点部分に単位画素33が配置されている。

単位画素33は、画素トランジスタである薄膜トランジスタ(以下、TFTと記す)34、電気光学素子である液晶セル35および保持容量36を有する構成となっている。ここで、液晶セル35は、TFT34で形成される画素電極(一方の電極)とこれに対向して形成される対向電極(他方の電極)との間に発生する液晶容量を意味する。

TFT34は、ゲート電極が垂直走査ライン $\dots, 31n-1, 31n, 31n+1, \dots$ に接続され、ソース電極がデータライン $\dots, 32m-2, 32m-1, 32m, 32m+1, \dots$ に接続されている。液晶セル35は、画素電極がTFT34のドレイン電極に接続され、対向電極が共通ライン37に接続されている。保持容量36は、TFT34のドレイン電極と共通ライン37との間に接続されている。共通ライン37には、所定の直流電圧が共通電圧 $V_{com}$ として与えられる。

垂直走査ライン $\dots, 31n-1, 31n, 31n+1, \dots$ の各一端は、第13図に示すVドライバ24の対応する行の各出力端

にそれぞれ接続される。Vドライバ24は例えばシフトレジスタによって構成され、垂直転送クロックVCK（図示せず）に同期して順次垂直選択パルスを発生して垂直走査ライン…， $31n-1$ ， $31n$ ， $31n+1$ ，…に与えることによって垂直走査を行う。

一方、表示エリア部22において、例えば、奇数番目のデータライン…， $32m-1$ ， $32m+1$ ，…の各一端が第13図に示すHドライバ23Uの対応する列の各出力端に、偶数番目のデータライン…， $32m-2$ ， $32m$ ，…の各他端が第13図に示すHドライバ23Dの対応する列の各出力端にそれぞれ接続される。Hドライバ23U，23Dの具体的な構成の一例を第15図に示す。

第15図に示すように、Hドライバ23Uは、シフトレジスタ41U、サンプリングラッチ回路（データ信号入力回路）42U、線順次化ラッチ回路43UおよびDA変換回路44Uを有する構成となっている。シフトレジスタ41Uは、水平転送クロックHCK（図示せず）に同期して各転送段から順次シフトパルスを出力することによって水平走査を行う。サンプリングラッチ回路42Uは、シフトレジスタ41Uから与えられるシフトパルスに

20 応答して、入力される所定ビットのデジタル画像データを点順次にてサンプリングしてラッチする。

線順次化ラッチ回路43Uは、サンプリングラッチ回路42Uで点順次にてラッチされたデジタル画像データを1ライン単位で再度ラッチすることによって線順次化し、この1ライン分の

25 デジタル画像データを一斉に出力する。DA変換回路44Uは例えば基準電圧選択型の回路構成をとり、線順次化ラッチ回路4

3 Uから出力される1ライン分のデジタル画像データをアナログ画像信号に変換して先述した画素エリア部22のデータライン…,  $32m-2$ ,  $32m-1$ ,  $32m$ ,  $32m+1$ , …に与える。

- 5 下側のHドライバ23Dについても、上側のHドライバ23Uと全く同様に、シフトレジスタ41D、サンプリングラッチ回路42D、線順次化ラッチ回路43DおよびDA変換回路44Dを有する構成となっている。なお、本例に係る液晶表示装置では、表示エリア部22の上下にHドライバ23U, 23Dを配する構成を採ったが、これに限定されるものではなく、上下のいずれか
- 10 一方のみに配する構成を採ることも可能である。

- 先述したように、電源回路25や省電力モードコントロール回路26等の周辺回路についても、表示エリア部22と同一のガラス基板21上に集積される。ここで、例えば表示エリア部22の上下にHドライバ23U, 23Dを配する構成を採る液晶表示装置の場合には、Hドライバ23U, 23Dが搭載されていない辺の額縁エリア（表示エリア部22の周辺エリア）に、電源回路25や省電力モードコントロール回路26等の周辺回路を配置するのが好ましい。
- 15

- 20 何故ならば、Hドライバ23U, 23Dは、上述した如くVドライバ24に比べて構成要素が多く、その回路面積が非常に大きくなる場合が多いことから、Hドライバ23U, 23Dが搭載されていない辺の額縁エリアに搭載することで、有効画面率（ガラス基板21に対する有効エリア部22の面積率）を低下させることなく、電源回路25や省電力モードコントロール回路26等の
- 25 周辺回路を表示エリア部22と同一のガラス基板21上に集積

することができるからである。

なお、本適用例に係るアクティブマトリックス型液晶表示装置では、Hドライバ23U、23Dが搭載されていない辺の額縁エリアの一方側にはVドライバ24が集積されていることから、その反対側の辺の額縁エリアに電源回路25や省電力モードコントロール回路26等の周辺回路を集積する構成を採っている。

ここで、電源回路25として、先述した実施形態に係るチャージポンプ型DDコンバータ（電源電圧変換回路）を用いるものとする。そして、電源回路25の集積に際しては、表示エリア部22の各画素トランジスタとしてTF T34を用いていることから、電源回路25を構成するトランジスタ、即ち第9図に示すチャージポンプ型DDコンバータにおけるMOSトランジスタQp11～Qp13、Qn11～Qn13やレベルシフト回路15を構成するトランジスタなどとしてもTF Tを用いる。そして、少なくともこれらトランジスタ回路を表示エリア部22と同一プロセスを用いて作成することにより、その製造が容易となるとともに、低コストにて実現できる。

特に、トランジスタ回路のうち、CMOSトランジスタ11については0V-VCCで動作することから、これを除いた高耐圧の必要なダイオードD11、MOSトランジスタQp12、Qp13、Qn12、Qn13、レベルシフト回路15を構成するトランジスタについては、TF Tで作成すると素子分離が不要なため、表示エリア部22と同一プロセスを用いて作成することで、その作成が容易になる。この場合、他のトランジスタ回路などについては、ガラス基板21とは別の基板上にシリコンチップで作成するようにすれば良い。

また、T F Tについては、近年の性能向上や消費電力の低下に伴って集積化が容易になっているのが現状である。したがって、電源回路 2 5、特に少なくともトランジスタ回路を表示エリア部 2 2 の画素トランジスタと T F T を用いて同一のガラス基板 2 1 上に同一プロセスにて一体的に形成することにより、製造プロセスの簡略化に伴う低コスト化、さらには集積化に伴い薄型化、コンパクト化を図ることができる。

なお、上記の適用例では、先述した実施形態に係るチャージポンプ型 D D コンバータを電源回路 2 5 として用いるとともに、当該電源回路 2 5 をガラス基板 2 1 上に表示エリア部 2 2 と一体的に形成するとしたが、必ずしも表示エリア部 2 2 と一体形成する必要はない。すなわち、電源回路 2 5 を液晶表示装置の外部回路として用いても良く、またガラス基板 2 1 とは別の基板上に電源回路 2 5 を作成するようにしても良い。

ただし、電源回路 2 5 を表示エリア部 2 2 と同一の基板上に一体形成した方が有利であることは、上述したことから明らかである。しかも、先述した実施形態に係るチャージポンプ型 D D コンバータは、小面積の回路規模にて大きな電流容量を得ることができ、また特に T F T のようにしきい値  $V_{th}$  が大きいトランジスタを用いた場合にその効果が極めて大であるため、電源回路 2 5 を表示エリア部 2 2 と同一の基板上に一体形成することで、液晶表示装置を含むセットの低コスト化、さらには薄型化、コンパクト化に大きく寄与できる。

第 1 3 図および第 1 5 図において、省電力モードコントロール回路 2 6 は、装置全体の低消費電力化を目的として、省電力モードを選択的に設定するために設けられたものである。第 1 6 図に

示すように、省電力モードコントロール回路 26 は、外部からのモードの指定情報に基づいて、電源回路 25 に対して省電力モードの制御を行う。なお、第 16 図においては、図面の簡略化のために、H ドライバ 23U, 23D および V ドライバ 24 を一つの  
5 ブロック（ドライバ部）で一括して示している。

（DD コンバータの応用例 1）

第 17 図は、先述した実施形態に係る負電圧発生タイプのチャージポンプ型 DD コンバータ（第 9 図を参照）の応用例 1 を示す回路図であり、図中、第 9 図と同等部分には同一符号を付して示  
10 している。

第 17 図において、CMOS インバータ 11 の前段に 2 入力 AND 回路 17 が新たに付加された以外は、第 9 図の回路構成と全く同じである。2 入力 AND 回路 17 は、パルス発生源 12 で発生されるスイッチングパルスを一方の入力とし、第 16 図に示す  
15 省電力モードコントロール回路 26 から省電力モード時に供給される“L”レベルのモード選択信号 SEL を他方の入力として  
いる。

上記構成の応用例 1 に係る負電圧発生タイプの DD コンバータでは、省電力モード時に“L”レベルのモード選択信号 SEL  
20 が供給されることで、AND 回路 17 はパルス発生源 12 で発生されるスイッチングパルスの DD コンバータ内回路への供給を停止する。これにより、チャージポンプ回路のポンピング動作が一時的に停止するため、DD コンバータ内回路での消費電流が低下し、省電力化が図られる。

25 また、省電力モードの設定によってチャージポンプ回路に対するクロック供給が一時的に停止するような場合であっても、先述

したように、出力部に設けられたスイッチ素子（NchMOSトランジスタ $Q_{n12}$ およびPchMOSトランジスタ $Q_{p12}$ ）に対する制御パルス（スイッチングパルス）の電圧を、起動時と起動プロセス終了後で2段階に分けてクランプすることで、ノードDのクランプレベルが安定となるため、クロック供給／停止の移行期間においても十分な電流能力を確保でき、よって安定したDC-DC変換動作が可能になる。

第18図に、応用例1に係る昇圧タイプのチャージポンプ型DDコンバータの構成を示す。基本的な回路構成および回路動作については、負電圧発生タイプのチャージポンプ型DDコンバータと同じであるので、ここではその説明を省略するものとする。

（DDコンバータの応用例2）

第19図は、先述した実施形態に係る負電圧発生タイプのチャージポンプ型DDコンバータ（第9図を参照）の応用例2を示す回路図であり、図中、第9図と同等部分には同一符号を付して示している。本応用例に係るチャージポンプ型DDコンバータは、出力電位のレギュレーション機能を有している。

第19図において、本応用例におけるレギュレーション回路は、回路出力端（ノードE）と電源（VCC）またはグランドとの間に直列接続された抵抗 $R_1$ 、 $R_2$ と、これら抵抗 $R_1$ 、 $R_2$ の分圧点に非反転（+）入力端が接続され、反転（-）入力端に基準電圧（本例では、グランドレベル）が与えられるコンパレータ18と、CMOSインバータ11の前段に配置され、パルス発生源12で発生されるスイッチングパルスを一方の入力とし、コンパレータ18の比較出力を他方の入力とするAND回路19とを有する構成となっている。



このレギュレーション回路が新たに付加された以外は、第 9 図の構成と全く同じであり、またチャージポンプ動作についても基本的に第 9 図の回路と同じである。第 20 図に、第 19 図の回路動作を説明するためのタイミングチャートを示す。このタイミングチャートにおいて、波形 A ~ H は第 19 図の回路におけるノード A ~ H の各信号波形をそれぞれ示している。

上記構成の応用例 2 に係る負電圧発生タイプの DD コンバータでは、出力電圧  $V_{out}$  をコンパレータ 18 において基準電圧（例えば、グラウンドレベル）と比較し、その比較結果に基づいて AND 回路 18 においてスイッチングパルスの供給 / 停止を制御することにより、出力電圧  $V_{out}$  が例えばグラウンドレベル（0 V）になるようにレギュレーションする回路動作が行われる。また、出力電圧  $V_{out}$  が目標の電圧よりも下がったときにスイッチングパルスの供給を停止するようにフィードバックがかかり、結果として、抵抗  $R_1$ ,  $R_2$  の分圧比で決まる目的の電圧値が出力電圧  $V_{out}$  として得られる。

また、レギュレーション動作によってチャージポンプのクロック供給が一時的に停止するような場合であっても、先述したように、スイッチ素子（NchMOS トランジスタ  $Q_{n12}$  および PchMOS トランジスタ  $Q_{p12}$ ）に対する制御パルス（スイッチングパルス）の電圧を、起動時と起動プロセス終了後で 2 段階に分けてクランプするようにしたことにより、ノード D のクランプレベルが安定するため、安定したレギュレーション動作が可能になる。

第 21 図に、応用例 2 に係る昇圧タイプのチャージポンプ型 DD コンバータの構成を示す。また、第 22 図に、第 21 図の回路

動作を説明するためのタイミングチャートを示す。このタイミングチャートにおいて、波形A～Hは第21図の回路におけるノードA～Hの各信号波形をそれぞれ示している。

この昇圧タイプのDDコンバータでは、出力電圧 $V_{out}$ をコンパレータ18において基準電圧（例えば、基準電圧 $V_{ref}$ ）と比較し、その比較結果に基づいてAND回路18においてスイッチングパルスの供給／停止を制御することにより、出力電圧 $V_{out}$ が例えばグラウンドレベル（0V）になるようにレギュレーションする回路動作が行われる。

また、昇圧タイプのDDコンバータでは、出力電圧 $V_{out}$ が目標の電圧よりも上がったときにスイッチングパルスの供給を停止するようにフィードバックがかかり、結果として、抵抗 $R_1$ 、 $R_2$ の分圧比で決まる目的の電圧値が出力電圧 $V_{out}$ として得られる。それ以外の回路動作については、基本的に、負電圧発生タイプのチャージポンプ型DDコンバータの場合と同じである。

以上説明した応用例1、2に係るDDコンバータ（電源電圧変換回路）についても、先述した実施形態に係るDDコンバータ（第9図を参照）と同様に、第1適用例に係るアクティブマトリクス型液晶表示装置の電源回路25として用いることができる。

ところで、先述した省電力モードコントロール回路26は、外部から省電力モードが指定されると、電源回路25に対して省電力モードの制御を行うことに加えて、Hドライバ23U、23DやVドライバ24での電源電流を低下させるとともに、電源回路25の電流供給能力を低下させるための制御を行う。

ここで、アクティブマトリクス型液晶表示装置において、省電

力モードとは、表示エリア部 22 の一部の領域にのみ情報を表示する一部画面表示モード（パーシャルモード）や、通常モードでは例えば R（赤）、G（緑）、B（青）各 6 ビットで 26 万色の表示を行うのに対して R G B 各 1 ビットで 8 色の表示を行う 2 階調表示モードなどが挙げられる。

これらの省電力モードのうち、例えば一部画面表示モードでは、表示エリア部 22 の一部、例えば上部のみに特定の情報が表示されるのに対して、非表示領域には特定の色、例えば白あるいは黒の表示が行われることになる。そして、非表示領域では、常に白あるいは黒の情報を表示すれば良く、H ドライバ 23 U、23 D での情報の書き換えが不要であることから、H ドライバ 23 U、23 D を停止させることで、この H ドライバ 23 U、23 D で本来消費する電力分だけ低消費電力化が図れるのである。

このように、アクティブマトリクス型液晶表示装置において、省電力モード時には、非表示領域で H ドライバ 23 U、23 D の動作を停止させることによって低消費電力化が図れるとともに、電源回路 25 の電流供給能力を低下させることによって、電源回路 25 でも消費電力の低減を図ることができるため、表示装置全体のさらなる低消費電力化が可能となる。しかも、DC-DC 変換効率は、負荷での消費電力／総消費電力で定義され、総消費電力＝負荷での消費電力＋本回路での消費電力であることから、本回路での消費電力を低減できることによって変換効率の向上も可能となる。

以下に、省電力モードに対応可能な電源回路 25 の具体的な構成について説明する。なお、電源回路 25 としては、先述した実施形態あるいはその応用例に係るチャージポンプ型 DD コンバ

一タを用いることも可能であるが、具体的な回路構成を特徴とするものでないことから、ここでは敢えて、第 5 図、第 6 図に示した従来例 2 に相当するチャージポンプ型 D D コンバータを基本回路として用いるものとする。また、省電力モードとして、一部  
5 画面表示モード（パーシャルモード）を設定する場合を例に採るものとする。

（D D コンバータの応用例 3）

第 2 3 図は、負電圧発生タイプのチャージポンプ型 D D コンバータの応用例 3 を示す回路図であり、図中、第 9 図と同等部分には同一符号を付して示している。なお、本応用例に係るチャージ  
10 ポンプ型 D D コンバータは、先述した実施形態に係るチャージポンプ型 D D コンバータと比較すると、第 2 のクランプ回路 1 6（第 9 図、第 1 1 図を参照）を持たない点で回路構成上相違するのみである。

第 2 3 図において、パーシャルモードコントロール回路 2 6 ' は、第 1 3 図および第 1 5 図の省電力モードコントロール回路 2 6 に相当する。このパーシャルモードコントロール回路 2 6 ' は、通常モードでは“H”レベル（高レベル）の制御パルスを出力し、省電力モード、即ち一部画面表示モードが設定されたときは、外  
15 部から与えられる一部表示領域の位置やライン数の指定情報に基づいて、画面非表示領域期間で“L”レベル（低レベル）の制御パルスを出力する。

この制御パルスは A N D 回路 5 1 の一方の入力となる。A N D 回路 5 1 は、パルス発生源 1 2 で発生されるクロックパルスを他  
20 方の入力とし、当該クロックパルスを制御パルスが与えられている期間だけ通過させる。この A N D 回路 5 1 を通過したクロック

パルスは、CMOSインバータ11のゲート共通接続点にスイッチングパルスとして印加される。

次に、上記構成の応用例3に係る負電圧発生タイプのチャージポンプ型電源電圧変換回路における回路動作について、第24図のタイミングチャートを用いて説明する。このタイミングチャートにおいて、波形A～Eは第23図の回路におけるノードA～Eの各信号波形をそれぞれ示している。

先ず、通常モードでは、パーシャルモードコントロール回路26'から“H”レベルの制御パルスが出力されることから、パルス発生源12で発生されるクロックパルスがAND回路51を通過してスイッチングパルスとして、CMOSインバータ11のゲート共通接続点に与えられる。このとき、スイッチングパルスに基づくコンデンサC13の出力電位、即ちノードDの電位は、ダイオードD11によってクランプされる。

そして、スイッチングパルスが“L”レベル(0V)のときは、PchMOSトランジスタQp11, Qp12がオン状態となるため、コンデンサC11が充電される。このとき、NchMOSトランジスタQn11がオフ状態にあるため、ノードBの電位がVCCレベルとなる。次いで、スイッチングパルスが“H”レベル(VCC)になると、NchMOSトランジスタQn11, Qn12がオン状態となり、ノードBの電位がグラウンドレベル(0V)になるため、ノードCの電位が $-VCC$ レベルとなる。このノードCの電位がそのままNchMOSトランジスタQn12を通して出力電圧Vout( $=-VCC$ )となる。

次に、パーシャルモード(一部画面表示モード)が設定されると、パーシャルモードコントロール回路26'から、外部から与

えられる一部表示領域の位置やライン数の指定情報に基づいて、画面非表示領域期間で“L”レベルの制御パルスが出力される。すると、AND回路51は、この“L”レベルの制御パルスによってパルス発生源12で発生されるクロックパルスの通過を禁止する。これにより、チャージポンプ回路へのスイッチングパルスの供給が停止される。

スイッチングパルスが供給されないことで、チャージポンプ回路のポンピング動作が停止する。このとき、チャージポンプ回路、即ち本DDコンバータの電流供給能力（電流容量）はほぼ0に低下する。すなわち、チャージポンプ回路の電流供給能力は、スイッチングパルスの周波数とコンデンサC11の容量に反比例することから、スイッチングパルスの供給が停止されることで、スイッチングパルスの周波数が0となり、電流供給能力がほぼ0となる。

ここで、本DDコンバータの電流供給能力（電流容量）を低下させる期間は、低消費電力化を図る上ではできるだけ長い方がよい。したがって、非表示領域期間の大部分、例えば1/2以上に設定するのが好ましい。

上述したように、チャージポンプ型DDコンバータからなる電源回路25において、非表示領域期間の大部分の期間でチャージポンプ回路のポンピング動作を停止させて、電源回路25の電流供給能力を低下させるようにしたことにより、ドライバ系側での消費電流の少ない非表示期間において、チャージポンプ回路で不要な貫通電流が流れるのを抑制できるため、電源回路25での消費電力を低減できる。さらに、電源回路25での消費電力の低減によってDC-DC変換効率の向上も可能となる。

第25図に、応用例3に係る昇圧タイプのチャージポンプ型DDコンバータの構成を示す。この昇圧タイプのDDコンバータにおいても、基本的な回路構成および回路動作については、負電圧発生タイプのDDコンバータと同じである。

- 5 すなわち、第25図において、スイッチングトランジスタ(MOSトランジスタ $Q_{p13}$ ,  $Q_{n13}$ )が第23図の回路のMOSトランジスタ $Q_{n12}$ ,  $Q_{p12}$ と逆導電型となるとともに、ダイオード $D11$ がコンデンサ $C11$ の他端と電源(VCC)との間に接続された構成となっており、この点が第23図の回路と  
10 構成上相違するのみである。

- 回路動作上においても、基本的には、第23図の回路と全く同じである。異なるのは、出力電圧 $V_{out}$ として電源電圧VCCの2倍の電圧値 $2 \times VCC$ が導出される点だけである。第26図に、第25図の回路におけるノードA~Eの各信号波形A~Eの  
15 タイミングチャートを示す。

(DDコンバータの応用例4)

- 第27図は、負電圧発生タイプのチャージポンプ型DDコンバータの応用例4を示す回路図であり、図中、第23図と同等部分には同一符号を付して示している。本応用例に係るDDコンバー  
20 タにおいては、第23図のパルス発生源12およびAND回路51に代えて、VCO(電圧制御発振器)52が設けられた構成となっており、それ以外は第23図の構成と全く同じである。

- VCO52は、通常モード時にはパーシャルモードコントロール回路26'から例えば“H”レベルの制御電圧が与えられること  
25 とで、この制御電圧に基づいて所定周波数の第1のクロックパルスを発生し、パーシャルモード時にはパーシャルモードコントロ

ール回路 26' から例えば“L”レベルの制御電圧が与えられることで、この制御電圧に基づいて第1のクロックパルスよりも周波数が低い第2のクロックパルスを発生する。これら第1、第2のクロックパルスは、スイッチングパルスとしてCMOSインバータ11のゲート共通接続点に印加される。

次に、上記構成の応用例4に係る負電圧発生タイプのチャージポンプ型電源電圧変換回路における回路動作について、第28図のタイミングチャートを用いて説明する。このタイミングチャートにおいて、波形A～Eは第27図の回路におけるノードA～Eの各信号波形をそれぞれ示している。

先ず、通常モードでは、パシシャルモードコントロール回路26' から“H”レベルの制御電圧が与えられることで、VCO52は所定周波数の第1のクロックパルスを発生する。この第1のクロックパルスは、スイッチングパルスとしてCMOSインバータ11のゲート共通接続点に与えられる。このとき、スイッチングパルスに基づくコンデンサC13の出力電位、即ちノードDの電位は、ダイオードD11によってクランプされる。

そして、スイッチングパルスが“L”レベル(0V)のときは、PchMOSトランジスタQp11、Qp12がオン状態となるため、コンデンサC11が充電される。このとき、NchMOSトランジスタQn11がオフ状態にあるため、ノードBの電位がVCCレベルとなる。次いで、スイッチングパルスが“H”レベル(VCC)になると、NchMOSトランジスタQn11、Qn12がオン状態となり、ノードBの電位がグラウンドレベル(0V)になるため、ノードCの電位が-VCCレベルとなる。このノードCの電位がそのままNchMOSトランジスタQn12を通して出



力電圧  $V_{out}$  ( $= -V_{CC}$ ) となる。

次に、パーシャルモード（一部画面表示モード）が設定されると、パーシャルモードコントロール回路 26' から、外部から与えられる一部表示領域の位置やライン数の指定情報に基づいて、  
5 画面非表示領域期間で“L”レベルの制御電圧が出力される。この“L”レベルの制御電圧が与えられることにより、 $V_{CO52}$  は、通常モードでの第1のクロックパルスよりも周波数の低い第2のクロックパルスを発生する。この第2のクロックパルスは、スイッチングパルスとしてCMOSインバータ11のゲート共  
10 通接続点に与えられる。

以降、通常モード時と同様の動作原理により、第2のクロックパルスに基づくチャージポンプ回路でのポンピング動作によってDC-DC変換動作が行われ、出力電圧  $V_{out}$  として負電圧  $-V_{CC}$  が導出される。このとき、スイッチングパルスの周波数  
15 が通常モード時よりも低くなることで、本DDコンバータの電流供給能力（電流容量）が低下する。すなわち、先述したように、チャージポンプ回路の電流供給能力は、スイッチングパルスの周波数とコンデンサC11の容量に反比例することから、スイッチングパルスの周波数が下がることで、電流供給能力が低下する。

20 上述したように、チャージポンプ型DDコンバータからなる電源回路25において、スイッチングパルスの発生源として $V_{CO52}$ を用い、非表示領域期間の大部分の期間でスイッチングパルスの周波数を通常モード時よりも低くして、電源回路25の電流供給能力を低下させるようにしたことにより、ドライバ系側での  
25 消費電流の少ない非表示期間において、チャージポンプ回路で不要な貫通電流が流れるのを抑制できるため、電源回路25での消

費電力を低減でき、また当該電源回路での消費電力の低減によって変換効率を向上できる。

第 29 図に、応用例 4 に係る昇圧タイプのチャージポンプ型 DD コンバータの構成を示す。この昇圧タイプの DD コンバータにおいて、基本的な回路構成および回路動作については、負電圧発生タイプの DD コンバータと同じである。

すなわち、第 29 図において、スイッチングトランジスタ (MOS トランジスタ  $Q_{p13}$ ,  $Q_{n13}$ ) が第 27 図の回路の MOS トランジスタ  $Q_{n12}$ ,  $Q_{p12}$  と逆導電型となるとともに、ダイオード  $D_{11}$  がコンデンサ  $C_{11}$  の他端と電源 ( $V_{CC}$ ) との間に接続された構成となっており、この点が第 27 図の回路と構成上相違するのみである。

回路動作上においても、基本的には、第 27 図の回路と全く同じである。異なるのは、出力電圧  $V_{out}$  として電源電圧  $V_{CC}$  の 2 倍の電圧値  $2 \times V_{CC}$  が導出される点だけである。第 30 図に、第 29 図の回路におけるノード A ~ E の各信号波形 A ~ E のタイミングチャートを示す。

以上述べた応用例 3, 4 に係るチャージポンプ型 DD コンバータにおいて、その基本回路として用いたチャージポンプ回路の回路構成は一例に過ぎず、その回路構成としては種々の改変が可能であり、上記の回路構成例に限定されるものではない。

ところで、チャージポンプ型 DD コンバータからなる電源回路 25 を搭載した表示装置において、電源回路 25 に対してスイッチングパルスを与える方法として、次の 2 つが代表的なものとして挙げられる。その一つは、これまで説明してきたように、発振回路 27 (第 9 図のパルス発生源 12 に相当) を備え、この発振

回路 2 7 で発生されるクロックパルスを電源回路 2 5 のスイッチングパルスとして用いるというものである（第 3 1 図参照）。電源回路 2 5 で D C - D C 変換されて得られる直流電圧は、ドライバ部（2 3 U, 2 3 D, 2 4）やタイミングコントロール回路 2 8 に供給される。

他の一つは、タイミングコントロール回路 2 8 で発生される各種のタイミング信号のうちの一つである水平転送クロックを、電源回路 2 5 のスイッチングパルスとして用いるものである（第 3 2 図参照）。ここで、水平転送クロックとは、ドライバ部内の水平駆動系（2 3 U, 2 3 D）の回路動作に用いられるクロック信号である。

これら 2 つの方法のうちの前者は、電源回路 2 5 の動作に用いるクロック信号を外部から取り込む必要がないため、省電力モードなどでマスタークロック信号が途絶えた場合であっても、電源回路 2 5 が安定に動作するという利点を持つ反面、発振回路 2 5 を設ける分だけ回路面積が増大したり、発振回路 2 5 の発振クロックと表示エリア部 2 2 に表示する映像信号との同期がとれないため、ノイズ発生の原因となって画乱れ等を発生する懸念がある。

一方、後者の方法は、発振回路 2 7 が不要な分だけ回路面積を削減でき、またノイズによる画乱れ等を低減できるという利点がある。しかしながら、電源回路 2 5 は常に動作していなければならない、水平転送クロックを止める訳にはいかないことから、省電力モードなどで水平転送クロックの基準となるマスタークロック信号を停止することができないため、効果的な低消費電力モードを実現できないことになる。

## 〔第 2 適用例〕

このような点に鑑みて為されたのが、以下に説明する第 2 適用例に係る表示装置、例えばアクティブマトリクス型液晶表示装置である。第 3 3 図は、本発明の第 2 適用例に係るアクティブマトリクス型液晶表示装置の構成例を示す概略構成図であり、図中、  
5 第 1 5 図と同等部分には同一符号を付して示している。

本適用例に係るアクティブマトリクス型液晶表示装置では、表示エリア部 1 2 に表示する映像信号に同期した同期信号、例えば水平同期信号 H D を、チャージポンプ型 D D コンバータからなる  
10 電源回路 2 5 のスイッチングパルスとして用いるとともに、タイミングコントロール回路 2 8 を表示エリア部 2 2 と同一のガラス基板 2 1 上に集積した構成を採っている。それ以外の構成は、基本的に、第 1 適用例に係るアクティブマトリクス型液晶表示装置と同じである。

15 タイミングコントロール回路 2 8 は、外部から与えられる水平同期信号 H D、垂直同期信号 V D およびマスタークロック信号 M C K に基づいて、H ドライバ 2 3 U, 2 3 D や V ドライバ 2 4 で用いる各種のタイミング信号を生成する。一例として、H ドライバ 2 3 U, 2 3 D に対して水平スタートパルス H S T や水平転送  
20 クロック H C K を与え、V ドライバ 2 4 に対して垂直スタートパルス V S T や垂直転送クロック V C K を与える。

このように、アクティブマトリクス型液晶表示装置において、チャージポンプ型 D D コンバータからなる電源回路 2 5 のスイッチング動作の基準となるクロック信号として、映像信号に同期  
25 した同期信号、例えば水平同期信号 H D を用いることにより、次のような作用効果を得ることができる。すなわち、水平同期信号

HDは元々タイミングコントロール回路28で用いられている信号であるため、クロック信号を生成するための回路を新たに設ける必要がない。したがって、ガラス基板21上に作成する回路面積を削減できる。その結果、液晶表示装置の小型化、薄型化が  
5 図れる。

また、水平同期信号HDは、例えば外部の同期分離回路（図示せず）において表示エリア部22に表示する映像信号から同期分離された信号であり、当然のことながら映像信号に同期した信号であることから、クロック信号と映像信号との非同期によるノイズが発生することもないため、当該ノイズによる画乱れ等の問題  
10 が発生することもない。したがって、画品位に優れた液晶表示装置を提供できる。

なお、本適用例では、映像信号に同期した信号として、水平同期信号HDを用いるとしたが、これに限られるものではなく、垂直同期信号VDや、水平同期信号HDあるいは垂直同期信号VDを分周した信号等を用いることも可能であり、いずれも映像信号に同期した信号であることから、上記と同様の作用効果を得ることができる。また、タイミングコントロール回路28の電源電圧としては、電源回路25で生成した直流電圧を用いることができ  
15 るが、外部から直接入力される電源電圧を用いても良い。

（DDコンバータの応用例5）

第34図は、負電圧発生タイプのチャージポンプ型DDコンバータの応用例5を示す回路図であり、図中、第9図と同等部分には同一符号を付して示している。本適用例に係るチャージポンプ  
25 型DDコンバータには、クロック信号として、例えば水平同期信号HDが与えられる。この水平同期信号HDは、デューティ変換

回路 5 3 およびパルス発生回路 5 4 に入力される。

デューティ変換回路 5 3 は、例えば分周回路によって構成されており、水平同期信号 HD をデューティ比がほぼ 50 % のクロックパルスに変換する。このデューティ変換回路 5 3 でデューティ  
5 変換して得られるクロックパルスは、CMOS インバータ 1 1 のゲート共通接続点にスイッチングパルスとして与えられるとともにパルス発生回路 5 4 に供給される。パルス発生回路 5 4 は、PchMOS トランジスタ Q p 1 3 およびレベルシフト回路 1 5 と共に第 2 のクランプ回路 1 6 ' を構成している。

10 この第 2 のクランプ回路 1 6 ' において、パルス発生回路 5 4 は、水平同期信号 HD とこれをデューティ変換回路 5 3 でデューティ変換して得られるクロックパルスとに基づいてクランプ用パルスを発生する。このクランプ用パルスは、レベルシフト回路  
1 5 を介して PchMOS トランジスタ Q p 1 3 のゲートに印加  
15 される。

次に、上記構成の応用例 5 に係る負電圧発生タイプのチャージポンプ型 DD コンバータの回路動作について、第 3 5 図のタイミングチャートを用いて説明する。このタイミングチャートにおいて、波形 A ~ G は第 3 4 図の回路におけるノード A ~ G の各信号  
20 波形をそれぞれ示している。

電源投入時（起動時）には、水平同期信号 HD をデューティ変換回路 5 3 でデューティ変換して得られるクロックパルス（スイッチングパルス）に基づくコンデンサ C 1 3 の出力電位、即ちノード D の電位は、先ずダイオード D 1 1 によって、負側の回路電  
25 源電位であるグランド（GND）レベルからダイオード D 1 1 のしきい値電圧  $V_{th}$  分だけレベルシフトした電位に”H”レベル

クランプされる。

そして、スイッチングパルスが“L”レベル(0 V)のときは、PchMOSトランジスタ $Q_{p11}$ ,  $Q_{p12}$ がオン状態となるため、コンデンサ $C_{11}$ が充電される。このとき、NchMOSトランジスタ $Q_{n11}$ がオフ状態にあるため、ノードBの電位が $V_{CC}$ レベルとなる。次いで、スイッチングパルスが“H”レベル( $V_{CC}$ )になると、NchMOSトランジスタ $Q_{n11}$ ,  $Q_{n12}$ がオン状態となり、ノードBの電位がグラウンドレベル(0 V)になるため、ノードCの電位が $-V_{CC}$ レベルとなる。このノードCの電位がそのままNchMOSトランジスタ $Q_{n12}$ を通して出力電圧 $V_{out}$ ( $=-V_{CC}$ )となる。

次に、出力電圧 $V_{out}$ がある程度立ち上がると(起動プロセス終了時)、クランプパルス用のレベルシフト回路15が動作を始める。このレベルシフト回路15が動作し始めると、パルス発生回路54で発生された振幅 $V_{CC}-0$  [V]のクランプ用パルスは、当該レベルシフト回路15において、振幅 $V_{CC}-V_{out}$  [V]のクランプ用パルスにレベルシフトされ、しかる後PchMOSトランジスタ $Q_{p13}$ のゲートに印加される。

このとき、クランプ用パルスの“L”レベルが出力電圧 $V_{out}$ 、即ち $-V_{CC}$ であるため、PchMOSトランジスタ $Q_{p13}$ が確実にオン状態となる。これにより、ノードDの電位は、グラウンドレベルからダイオード $D_{11}$ のしきい値電圧 $V_{th}$ 分だけレベルシフトした電位ではなく、グラウンドレベル(負側の回路電源電位)にクランプされる。これにより、以降のポンピング動作において、特にPchMOSトランジスタ $Q_{p12}$ に対して十分な駆動電圧が得られる。

上述したように、チャージポンプ型 D D コンバータからなる電源回路 2 5 において、スイッチングパルスの基準となる信号として水平同期信号 H D を用いるとともに、その入力段にデューティ変換回路 5 3 を設け、このデューティ変換回路 5 3 によってスイッチングパルスのデューティ比を 5 0 % に近づけるようにしたことにより、水平同期信号 H D をそのままスイッチングパルスとして用いる場合に比べて、効率的な D C - D C 変換動作が可能となる。

第 3 6 図に、応用例 5 に係る昇圧タイプのチャージポンプ型 D D コンバータの構成を示す。この昇圧タイプの D D コンバータにおいても、基本的な回路構成および回路動作については、第 3 4 図に示す負電圧発生タイプの D D コンバータと同じである。

すなわち、第 3 6 図において、スイッチングトランジスタおよびクランプ用トランジスタ ( M O S トランジスタ  $Q_{p14}$ ,  $Q_{n14}$ ,  $Q_{n13}$  ) が、第 3 4 図の回路の M O S トランジスタ  $Q_{n12}$ ,  $Q_{p12}$ ,  $Q_{p13}$  と逆導電型となるとともに、ダイオード  $D_{11}$  がコンデンサ  $C_{11}$  の他端と電源 ( V C C ) との間に接続され、かつレベルシフト回路 1 5 が本回路の出力電圧  $V_{out}$  を正側回路電源とし、グランドレベルを負側回路電源とした構成となっており、この点が第 3 4 図の回路と構成上相違するのみである。

回路動作上においても、基本的には、第 3 4 図の回路と全く同じである。異なるのは、スイッチングパルス電圧 ( 制御パルス電圧 ) が起動時に先ずダイオードクランプされ、起動プロセス終了時に V C C レベル ( 正側の回路電源電位 ) にクランプされ、また出力電圧  $V_{out}$  として電源電圧 V C C の 2 倍の電圧値  $2 \times V$



CCが導出される点だけである。第36図に、第35図の回路におけるノードA～Gの各信号波形A～Gのタイミングチャートを示す。

5       なお、本応用例では、スイッチングパルスの基準となる信号として、水平同期信号HDを用いたが、垂直同期信号VDを用いることも可能である。ここで、水平同期信号HDと垂直同期信号VDとは周波数が大きく異なるが、その周波数の違いについては、コンデンサC11, C13の容量値を変更することによって対処可能である。

10       また、第33図のタイミングコントロール回路28で生成される垂直転送クロックVCKをスイッチング動作の基準となるクロック信号として用いることも可能である。垂直転送クロックVCKは、水平同期信号HDに基づいて生成されるクロック信号であり、映像信号に同期した信号であることから、水平同期信号H  
15       Dや垂直同期信号VDを用いた場合と同様の作用効果を得ることができ、しかも垂直転送クロックVCKは元々デューティ比50%のクロック信号であり、デューティ変換回路53を設ける必要がないため、その分だけ回路面積を低減できるという利点がある。

20       （DDコンバータの応用例6）

      第38図は、負電圧発生タイプのチャージポンプ型DDコンバータの応用例6を示す回路図であり、図中、第34図と同等部分には同一符号を付して示している。本応用例に係るチャージポンプ型DDコンバータは、装置全体の低消費電力化を図るために、  
25       省電力モードを選択的に採る構成の液晶表示装置に搭載されるものであり、スイッチング動作の基準クロック信号として例えば

水平同期信号HDを用いている。ただし、応用例5の場合と同様に、スイッチング動作の基準クロックとして、垂直同期信号VDや垂直転送クロックVCKなどを用いることも可能である。

第38図において、デューティ変換回路53の後段には、2入力AND回路55が新たに付加された構成となっており、それ以外は第34図の構成と全く同じである。2入力AND回路55は、水平同期信号HDをデューティ変換回路53でデューティ変換して得られるクロックパルスを一方の入力とし、省電力モード時に供給される“L”レベルのモード選択信号SELを他方の入力として  
5  
10

上記構成の応用例6に係るチャージポンプ型DDコンバータでは、省電力モード時に“L”レベルのモード選択信号SELが供給されることで、AND回路55は水平同期信号HDに基づくクロックパルスの回路内部への供給を停止する。これにより、本DDコンバータにおけるスイッチング動作（チャージポンプのポンピング動作）が一時的に停止するため、本DDコンバータ内での消費電流が低下し、省電力化が図られる。なお、水平同期信号HDのデューティ比の変換を行わずに、直接入力する構成（デューティ変換回路53を省略した構成）を採った場合にも、同様の  
15  
20

このように、省電力モードの設定によってクロック供給が一時的に停止するような場合でも、先述したように、出力部に設けられたスイッチ素子（NchMOSトランジスタQn12およびPchMOSトランジスタQp12）に対する制御パルス（スイッチングパルス）の電圧を、起動時と起動プロセス終了後で2段階に分けてクランプすることで、ソードDのクランプレベルが安定とな  
25

るため、クロック供給／停止の移行期間においても十分な電流能力を確保でき、よって安定したDC-DC変換動作が可能になる。

第39図に、応用例6に係る昇圧タイプのチャージポンプ型DDコンバータの構成を示す。この昇圧タイプのDDコンバータにおいて、基本的な回路構成および回路動作については、第38図に示す負電圧発生タイプのDDコンバータと同じである。

(DDコンバータの応用例7)

第40図は、負電圧発生タイプのチャージポンプ型DDコンバータの応用例7を示す回路図であり、図中、第34図と同等部分には同一符号を付して示している。本応用例に係るチャージポンプ型DDコンバータでは、スイッチング動作の基準クロック信号として、水平同期信号HD（または、垂直同期信号VD）と垂直転送クロックVCKとを併用する構成を採っている。

第40図において、水平同期信号HD／垂直転送クロックVCKの入力段には、デューティ変換回路53に代えて切り替えスイッチ56が設けられた構成となっており、それ以外は第34図の構成と全く同じである。切り替えスイッチ56は、水平同期信号HDと垂直転送クロックVCKとを2入力とし、スタンバイ期間中に与えられるスタンバイ信号に基づいてその入力の選択を行う。ここで、スタンバイ期間とは、電源が投入されてから他の回路、即ち第33図に示すHドライバ23U、23D、Vドライバ24およびタイミングコントロール回路28が動作を開始するまでの期間である。

上記構成の応用例7に係るチャージポンプ型DDコンバータにおいて、スタンバイ期間中には、切り替えスイッチ56はスタンバイ信号に応答して水平同期信号HDを選択する。このスタン

バイ期間中においては、Hドライバ23U、23D、Vドライバ24およびタイミングコントロール回路28は、上記スタンバイ信号により電流をできるだけ消費しないように制御される。これにより、低消費電力化が図られている。

- 5      一方、電源回路25、即ち本DDコンバータは、切り替えスイッチ56によって水平同期信号HDが選択されたことで、水平同期信号HDを動作クロックとしてスイッチング動作を行い、所定の電圧値（本例では、 $-V_{CC}$ と $2V_{CC}$ であるが、これは一例に過ぎない）の直流電圧を発生する。これらの直流電圧は、Hドライバ23U、23D、Vドライバ24およびタイミングコントロール回路28に電源電圧として供給される。
- 10

- これにより、タイミングコントロール回路28においては、水平同期信号HDを基に垂直転送クロックVCKが生成される。この垂直転送クロックVCKは、電源投入から一定期間が終了した後、即ちスタンバイ期間が終了した後、切り替えスイッチ56によって水平同期信号HDに代えて選択される。すると、本DDコンバータは、垂直転送クロックVCKを動作クロックとしてスイッチング動作を行い、DC-DC変換動作を継続する。
- 15

- このように、電源投入時には水平同期信号HDを動作クロックとして用いてスイッチング動作を行い、スタンバイ期間が終了した後は垂直転送クロックVCKを動作クロックとしてスイッチング動作を行うようにしたことにより、スタンバイ期間が終了して消費電流が増大しても、デューティ比50%の垂直転送クロックVCKに基づく効率的なDC-DC変換動作が可能になるため、十分な電流能力を持つことが可能になる。
- 20
- 25

第41図に、応用例7に係る昇圧タイプのチャージポンプ型D

Dコンバータの構成を示す。この昇圧タイプのDDコンバータにおいても、基本的な回路構成および回路動作については、第40図に示す負電圧発生タイプのDDコンバータと同じである。

5 以上述べた応用例5～7に係るチャージポンプ型DDコンバータにおいては、チャージポンプ回路として、スイッチ素子（NchMOSトランジスタ $Q_{n12}$ およびPchMOSトランジスタ $Q_{p12}$ ）に対する制御パルス（スイッチングパルス）の電圧を、起動時には先ず第1のクランプ回路13のダイオードD11によるクランプ、起動プロセス終了後は第2のクランプ回路16'によるクランプ、10 どのように2段階に分けてクランプする構成を用いた場合を例に採って説明したが、この回路構成は一例に過ぎず、チャージポンプ回路の回路構成としては種々の改変が可能であり、上記の回路構成例に限定されるものではない。

15 なお、上記第1、第2適用例では、アクティブマトリックス型液晶表示装置に適用した場合を例に採って説明したが、これに限られるのではなく、エレクトロルミネッセンス（electroluminescence；EL）素子を各画素の電気光学素子として用いたEL表示装置などの他のアクティブマトリクス型表示装置にも同様に適用可能である。

20 また、本発明に係る表示装置は、パーソナルコンピュータ、ワードプロセッサ等のOA機器やテレビジョン受像機などのディスプレイとして用いられる外、特に装置本体の小型化、コンパクト化が進められている携帯電話機やPDAなどの携帯端末の表示部として用いて好適なものである。

25 第42図は、本発明が適用される携帯端末、例えば携帯電話機の構成の概略を示す外観図である。

本例に係る携帯電話機は、装置筐体 6 1 の前面側に、スピーカ部 6 2、出力表示部 6 3、操作部 6 4 およびマイク部 6 5 が上部側から順に配置された構成となっている。かかる構成の携帯電話機において、出力表示部 6 3 には例えば液晶表示装置が用いられ、  
5 この液晶表示装置として、先述した実施形態あるいはその応用例 1 ～ 7 に係るチャージポンプ型 D D コンバータからなる電源回路を、表示エリア部と同一の基板上に集積した構成のアクティブマトリックス型液晶表示装置が用いられる。

このように、携帯電話機などの携帯端末において、先述した実施形態あるいはその応用例 1, 2 に係るチャージポンプ型 D D コンバータからなる電源回路を搭載したアクティブマトリックス型液晶表示装置を出力表示部 6 3 として用いることにより、これら電源回路が小面積の回路規模にて大きな電流容量を得ることが可能であるため、携帯端末の低消費電力化、さらには装置本体  
10 の小型化、コンパクト化に大きく寄与できる利点がある。

また、出力表示部 6 3 として、応用例 3, 4 に係るチャージポンプ型 D D コンバータからなる電源回路を搭載したアクティブマトリックス型液晶表示装置を用いることにより、省電力モード時にドライバ系の電流供給能力の低下に伴って電源回路での消費電力も低減できるため、省電力モードでのさらなる低消費電力化が可能となる。  
15

さらに、出力表示部 6 3 として、応用例 5 ～ 7 に係るチャージポンプ型 D D コンバータからなる電源回路を搭載したアクティブマトリックス型液晶表示装置を用いることにより、装置全体の小型化、低ノイズ化を図ることができるため、端末本体の小型化、高画質化が可能となり、特に省電力モード時には回路系での消費  
20

電力の低減が可能となる。

#### 産業上の利用の可能性

- 本発明によれば、出力部にスイッチ素子を有するチャージポン
- 5 プ回路を用いた電源電圧変換回路において、起動時にスイッチ素子に対する制御パルス電圧をダイオードクランプし、起動プロセス終了時にスイッチ素子を通して出力される電圧に基づいて制御パルス電圧を回路電源電位にクランプするようにしたことにより、スイッチ素子に対して十分な駆動電圧を得ることができる
- 10 ため、安定したDC-DC変換動作を行うことができる。また、素子サイズを大きくしなくて済むため、小面積の回路規模にて電流容量の大きな電源電圧変換回路を実現できる。

## 請求の範囲

1. 出力部にスイッチ素子を有するチャージポンプ回路を用いた電源電圧変換回路であって、起動時に前記スイッチ素子に対する  
5 制御パルス電圧をダイオードクランプする第1のクランプ回路と、起動プロセス終了時に前記スイッチ素子を通して出力される電圧に基づいて前記制御パルス電圧を回路電源電位にクランプする第2のクランプ回路とを備えたことを特徴とする電源電圧変換回路。
- 10 2. 前記スイッチ素子が薄膜トランジスタであることを特徴とする請求の範囲第1項記載の電源電圧変換回路。
3. 前記第2のクランプ回路は、前記スイッチ素子を通して出力される電圧値を用いてクランプ用パルスを発生するクランプパルス発生手段と、前記制御パルス電圧が与えられるノードと回路  
15 電源電位との間に接続され、前記前記クランプ用パルスに同期してスイッチング動作を行うスイッチングトランジスタとを有することを特徴とする請求の範囲第1項記載の電源電圧変換回路。
4. 前記スイッチ素子および前記スイッチングトランジスタが薄膜トランジスタであることを特徴とする請求の範囲第3項記載  
20 の電源電圧変換回路。
5. 前記クランプパルス発生手段は、クランプ用パルスを発生するパルス発生源と、前記クランプ用パルスの電圧値を前記スイッチ素子を通して出力される電圧値にレベルシフトして前記スイッチングトランジスタに与えるレベルシフト回路とからなること  
25 とを特徴とする請求の範囲第3項記載の電源電圧変換回路。
6. 出力部にスイッチ素子を有するチャージポンプ回路を用いた



電源電圧変換回路において、先ず起動時に前記スイッチ素子に対する制御パルス電圧をダイオードクランプし、次いで、起動プロセス終了時に前記スイッチ素子を通して出力される電圧に基づいて前記制御パルス電圧を回路電源電位にクランプすることを特徴とする電源電圧変換回路の制御方法。

7. 電気光学素子を有する画素が行列状に配置されてなる表示エリア部と、前記表示エリア部の各画素を行単位で選択する垂直駆動回路と、前記垂直駆動回路によって選択された行の各画素に対して画像信号を供給する水平駆動回路と、単一の直流電圧を電圧値の異なる複数種類の直流電圧に変換して前記垂直駆動回路および前記水平駆動回路に与える電源電圧変換回路とを具備し、前記電源電圧変換回路は、出力部にスイッチ素子を有するチャージポンプ回路を用いてなり、起動時に前記スイッチ素子に対する制御パルス電圧をダイオードクランプする第1のクランプ回路と、起動プロセス終了時に前記スイッチ素子を通して出力される電圧に基づいて前記制御パルス電圧を回路電源電位にクランプする第2のクランプ回路とを有することを特徴とする表示装置。

8. 前記第2のクランプ回路は、前記スイッチ素子を通して出力される電圧値を用いてクランプ用パルスを発生するクランプパルス発生手段と、前記制御パルス電圧が与えられるノードと回路電源電位との間に接続され、前記前記クランプ用パルスに同期してスイッチング動作を行うスイッチングトランジスタとを有することを特徴とする請求の範囲第7項記載の表示装置。

9. 前記クランプパルス発生手段は、クランプ用パルスを発生するパルス発生源と、前記クランプ用パルスの電圧値を前記スイッチ素子を通して出力される電圧値にレベルシフトして前記スイ

タッチングトランジスタに与えるレベルシフト回路とからなることを特徴とする請求の範囲第 8 項記載の表示装置。

10 10. 前記電源電圧変換回路は、前記表示エリア部と同一基板上に一体的に形成されていることを特徴とする請求の範囲第 7 項記載の表示装置。

11. 前記表示エリア部の各画素において、前記電気光学素子を駆動する能動素子が薄膜トランジスタからなり、前記電源電圧変換回路は、前記スイッチ素子および前記第 2 のクランプ回路が薄膜トランジスタを用いて前記表示エリア部と同一基板上に同一  
10 プロセスにて作成され、残りの回路がシリコンチップで形成されることを特徴とする請求の範囲第 7 項記載の表示装置。

12. 前記電気光学素子が液晶セルであることを特徴とする請求の範囲第 7 項記載の表示装置。

13. 前記電気光学素子がエレクトロルミネッセンス素子であることを特徴とする請求の範囲第 7 項記載の表示装置。  
15

14. 電気光学素子を有する画素が行列状に配置されてなる表示エリア部と、前記表示エリア部の各画素を行単位で選択する垂直駆動回路と、前記垂直駆動回路によって選択された行の各画素に対して画像信号を供給する水平駆動回路と、単一の直流電圧を電  
20 圧値の異なる複数種類の直流電圧に変換して前記垂直駆動回路および前記水平駆動回路に与える電源電圧変換回路とを具備し、前記電源電圧変換回路を構成する少なくともトランジスタ回路が、前記表示エリア部と同一基板上に同一プロセスを用いて作成されることを特徴とする表示装置。

25 15. 前記表示エリア部の各画素において、前記電気光学素子を駆動する能動素子が薄膜トランジスタからなり、前記トランジス

タ回路は薄膜トランジスタを用いて構成されることを特徴とする請求の範囲第14項記載の表示装置。

16. 前記電源電圧変換回路は、前記基板上において前記水平駆動回路が配置されていない辺のいずれかに配置されていることを特徴とする請求の範囲第14項記載の表示装置。

17. 前記電気光学素子が液晶セルであることを特徴とする請求の範囲第14項記載の表示装置。

18. 前記電気光学素子がエレクトロルミネッセンス素子であることを特徴とする請求の範囲第14項記載の表示装置。

- 10 19. 電気光学素子を有する画素が行列状に配置されてなる表示エリア部と、前記表示エリア部の各画素を行単位で選択する垂直駆動回路と、前記垂直駆動回路によって選択された行の各画素に対して画像信号を供給する水平駆動回路と、単一の直流電圧を電圧値の異なる複数種類の直流電圧に変換して少なくとも前記垂直駆動回路および前記水平駆動回路に与えるとともに、省電力モード時に電流供給能力が低下する電源回路とを備えたことを特徴とする表示装置。

- 20 20. 前記電源回路は、チャージポンプ型の電源電圧変換回路であり、省電力モード時に前記電源電圧変換回路のスイッチング動作の基準となるクロック信号の入力を停止または前記クロック信号の周波数を低下させることを特徴とする請求の範囲第19項記載の表示装置。

- 25 21. 前記省電力モードが、前記表示エリア部の一部の領域にのみ情報を表示する一部画面表示モードであり、前記電源回路は、画面非表示期間において電流供給能力が低下することを特徴とする請求の範囲第19項記載の表示装置。

22. 前記電源回路は、チャージポンプ型の電源電圧変換回路であり、省電力モード時に前記電源電圧変換回路のスイッチング動作の基準となるクロック信号の入力を停止または前記クロック信号の周波数を低下させることを特徴とする請求の範囲第21

5 項記載の表示装置。

23. 前記電気光学素子が液晶セルであることを特徴とする請求の範囲第19項記載の表示装置。

24. 前記電気光学素子がエレクトロルミネッセンス素子であることを特徴とする請求の範囲第19項記載の表示装置。

10 25. 電気光学素子を有する画素が行列状に配置されてなる表示エリア部と、前記表示エリア部の各画素を行単位で選択する垂直駆動回路と、前記垂直駆動回路によって選択された行の各画素に対して画像信号を供給する水平駆動回路と、前記表示エリア部に表示する映像信号に同期した同期信号に基づいて動作し、単一の  
15 直流電圧を電圧値の異なる複数種類の直流電圧に変換して少なくとも前記垂直駆動回路および前記水平駆動回路に与える電源回路とを備えたことを特徴とする表示装置。

26. 前記電源回路は、前記同期信号に基づいてスイッチング動作を行うチャージポンプ型の電源電圧変換回路であることを特徴とする請求の範囲第25項記載の表示装置。  
20

27. 前記電源電圧変換回路は、前記同期信号に基づくスイッチング動作を一時的に停止させる手段を有することを特徴とする請求の範囲第26項記載の表示装置。

28. 前記同期信号は、水平同期信号、垂直同期信号または前記  
25 垂直駆動回路の動作の基準となるクロック信号であることを特徴とする請求の範囲第25項記載の表示装置。

29. 前記電源電圧変換回路は、前記水平同期信号または前記垂直同期信号のデューティ比を変換するデューティ変換回路を有することを特徴とする請求の範囲第28項記載の表示装置。

30. 前記デューティ変換回路によるデューティ変換後の前記水平同期信号または前記垂直同期信号のデューティ比がほぼ50%であることを特徴とする請求の範囲第29項記載の表示装置。

31. 前記電源回路は、電源投入直後には水平同期信号もしくは垂直同期信号に基づいて動作し、一定期間経過後に前記垂直駆動回路の動作の基準となるクロック信号に基づいて動作することを特徴とする請求の範囲第28項記載の表示装置。

32. 前記電気光学素子が液晶セルであることを特徴とする請求の範囲第25項記載の表示装置。

33. 前記電気光学素子がエレクトロルミネッセンス素子であることを特徴とする請求の範囲第25項記載の表示装置。

34. 出力表示部として、出力部にスイッチ素子を有するチャージポンプ回路を用いてなり、起動時に前記スイッチ素子に対する制御パルス電圧をダイオードクランプする第1のクランプ回路と、起動プロセス終了時に前記スイッチ素子を通して出力される電圧に基づいて前記制御パルス電圧を回路電源電位にクランプする第2のクランプ回路と備えた電源電圧変換回路を有する表示装置を用いたことを特徴とする携帯端末。

35. 前記電源電圧変換回路は、前記表示部の表示エリア部と同一基板上に一体的に形成されていることを特徴とする請求の範囲第34項記載の携帯端末。

36. 前記表示装置が液晶表示装置であることを特徴とする請求

の範囲第 3 4 項記載の携帯端末。

3 7. 前記表示装置がエレクトロルミネッセンス表示装置であることを特徴とする請求の範囲第 3 4 項記載の携帯端末。

3 8. 出力表示部として、電気光学素子を有する画素が行列状に配置されてなる表示エリア部と、前記表示エリア部の各画素を行単位で選択する垂直駆動回路と、前記垂直駆動回路によって選択された行の各画素に対して画像信号を供給する水平駆動回路と、単一の直流電圧を電圧値の異なる複数種類の直流電圧に変換して前記垂直駆動回路および前記水平駆動回路に与える電源電圧変換回路とを具備し、前記電源電圧変換回路を構成する少なくともトランジスタ回路が、前記表示エリア部と同一基板上に同一プロセスを用いて作成されてなる表示装置を用いたことを特徴とする携帯端末。

3 9. 前記表示装置は、前記電気光学素子として液晶セルを用いた液晶表示装置であることを特徴とする請求の範囲第 3 8 項記載の携帯端末。

4 0. 前記表示装置は、前記電気光学素子としてエレクトロルミネッセンス素子を用いたエレクトロルミネッセンス表示装置であることを特徴とする請求の範囲第 3 8 項記載の携帯端末。

4 1. 出力表示部として、電気光学素子を有する画素が行列状に配置されてなる表示エリア部と、前記表示エリア部の各画素を行単位で選択する垂直駆動回路と、前記垂直駆動回路によって選択された行の各画素に対して画像信号を供給する水平駆動回路と、単一の直流電圧を電圧値の異なる複数種類の直流電圧に変換して少なくとも前記垂直駆動回路および前記水平駆動回路に与えるとともに、省電力モード時に電流供給能力が低下する電源回路

とを具備する表示装置を用いたことを特徴とする携帯端末。

42. 前記電源回路は、チャージポンプ型の電源電圧変換回路であることを特徴とする請求の範囲第41項記載の携帯端末。

43. 前記表示装置は、前記電気光学素子として液晶セルを用いた液晶表示装置であることを特徴とする請求の範囲第41項記載の携帯端末。

44. 前記表示装置は、前記電気光学素子としてエレクトロルミネッセンス素子を用いたエレクトロルミネッセンス表示装置であることを特徴とする請求の範囲第41項記載の携帯端末。

45. 出力表示部として、電気光学素子を有する画素が行列状に配置されてなる表示エリア部と、前記表示エリア部の各画素を行単位で選択する垂直駆動回路と、前記垂直駆動回路によって選択された行の各画素に対して画像信号を供給する水平駆動回路と、前記表示エリア部に表示する映像信号に同期した同期信号に基づいて動作し、単一の直流電圧を電圧値の異なる複数種類の直流電圧に変換して少なくとも前記垂直駆動回路および前記水平駆動回路に与える電源回路とを具備する表示装置を用いたことを特徴とする携帯端末。

46. 前記電源回路は、前記同期信号に基づいてスイッチング動作を行うチャージポンプ型の電源電圧変換回路であることを特徴とする請求の範囲第45項記載の携帯端末。

47. 前記同期信号は、水平同期信号、垂直同期信号または前記垂直駆動回路の動作の基準となるクロック信号であることを特徴とする請求の範囲第45項記載の携帯端末。

48. 前記電源回路は、電源投入直後には水平同期信号もしくは垂直同期信号に基づいて動作し、一定期間経過後に前記垂直駆動

回路の動作の基準となるクロック信号に基づいて動作することを特徴とする請求の範囲第 4 7 項記載の携帯端末。

4 9 . 前記表示装置は、前記電気光学素子として液晶セルを用いた液晶表示装置であることを特徴とする請求の範囲第 4 5 項記載の携帯端末。

5 0 . 前記表示装置は、前記電気光学素子としてエレクトロルミネッセンス素子を用いたエレクトロルミネッセンス表示装置であることを特徴とする請求の範囲第 4 5 項記載の携帯端末。



1/21

Fig.1

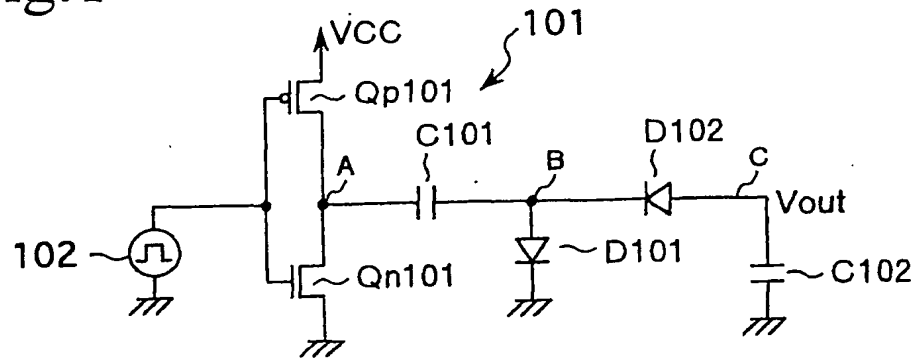


Fig.2

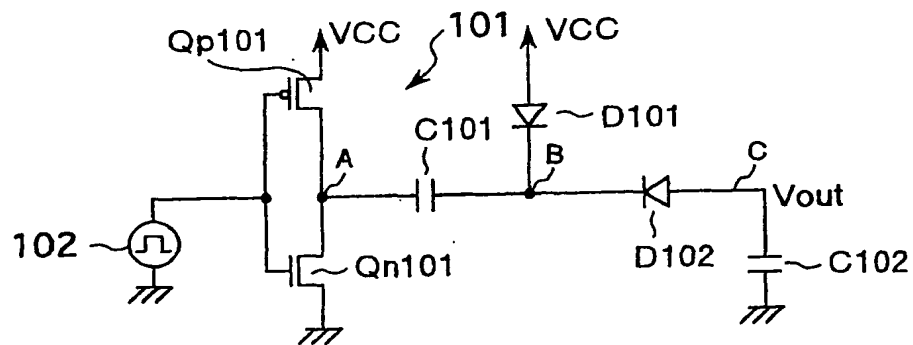


Fig.3

$$\text{最小 } V_{out} = V_c = -V_{CC} + V_{th}(D101) + V_{th}(D102)$$

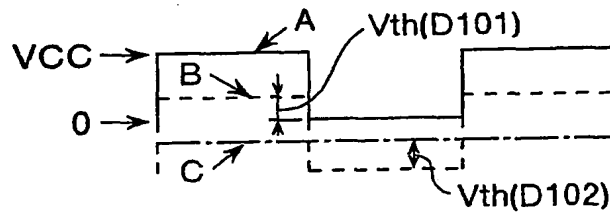
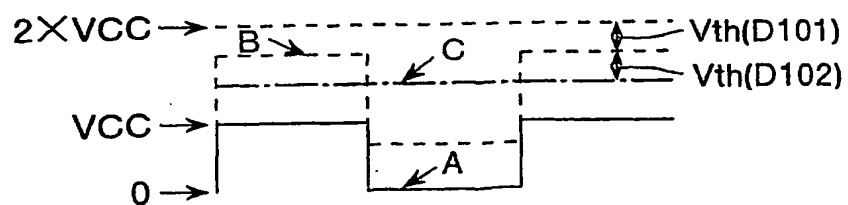


Fig.4

$$\text{最大 } V_{out} = V_c = 2 \times V_{CC} - V_{th}(D101) - V_{th}(D102)$$



2/21

Fig.5

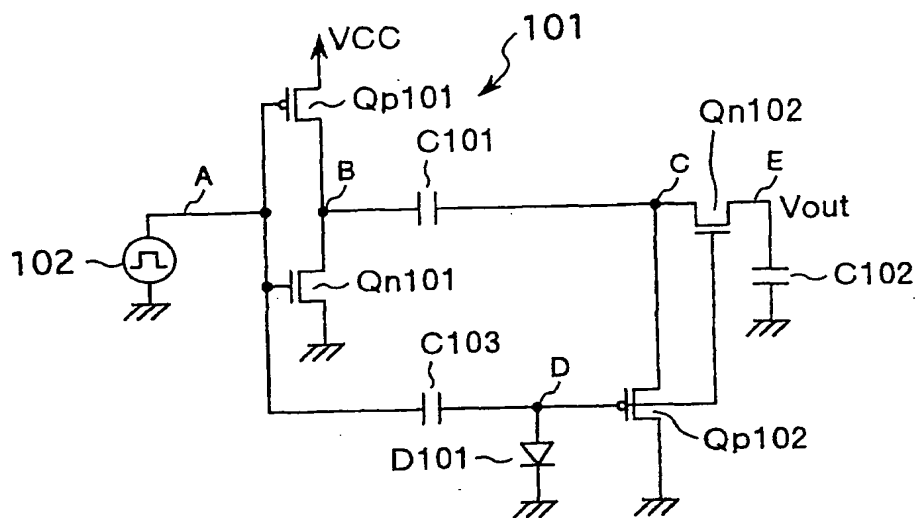
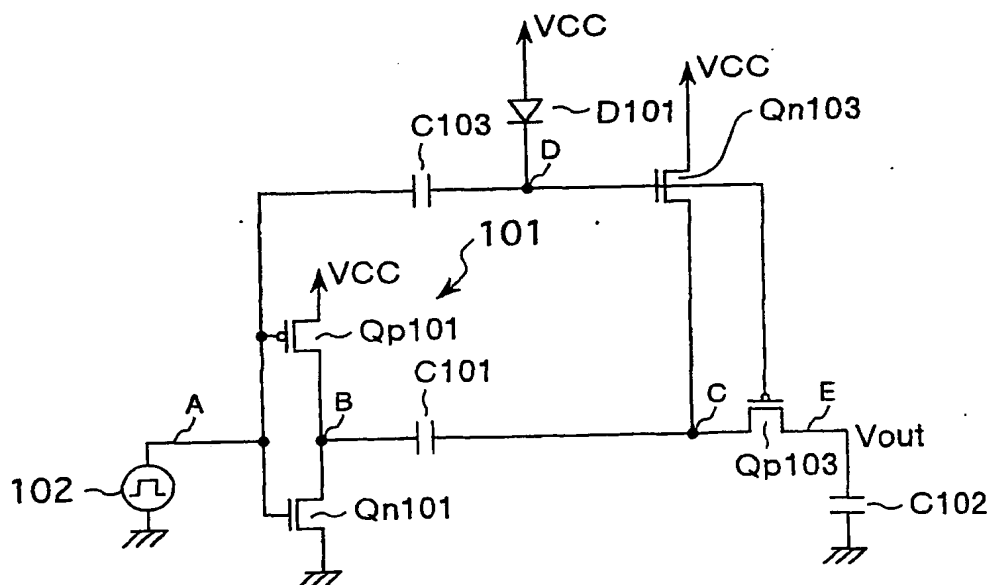


Fig.6



3/21

Fig.7

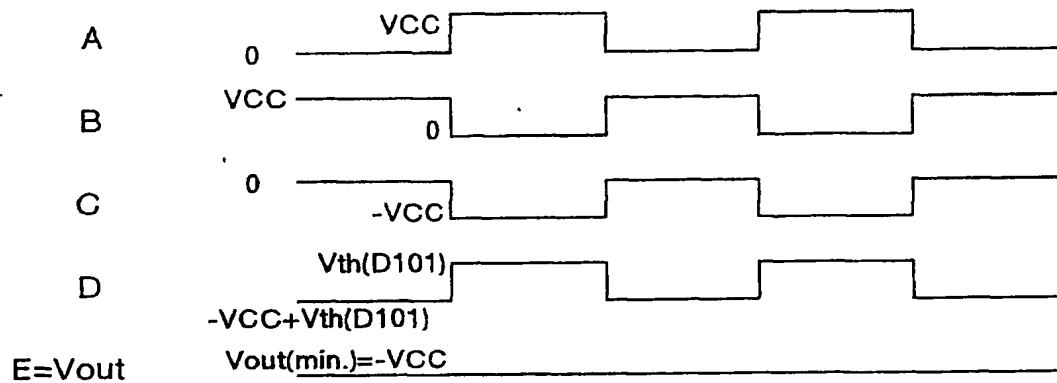
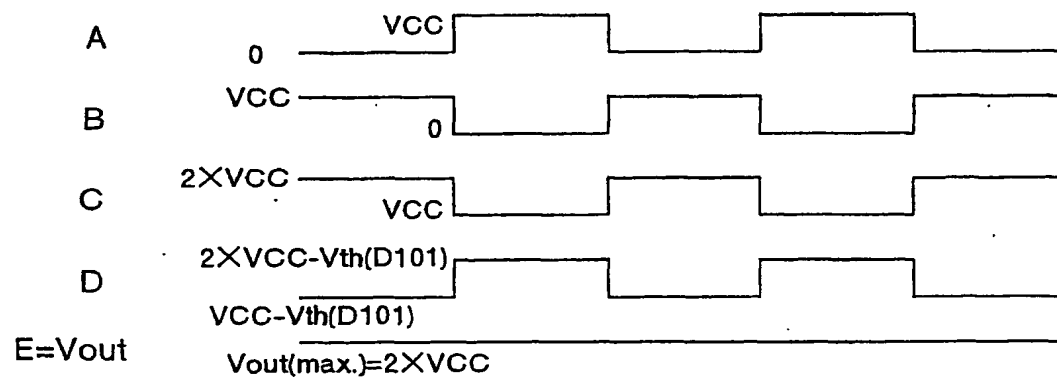


Fig.8



4/21

Fig.9

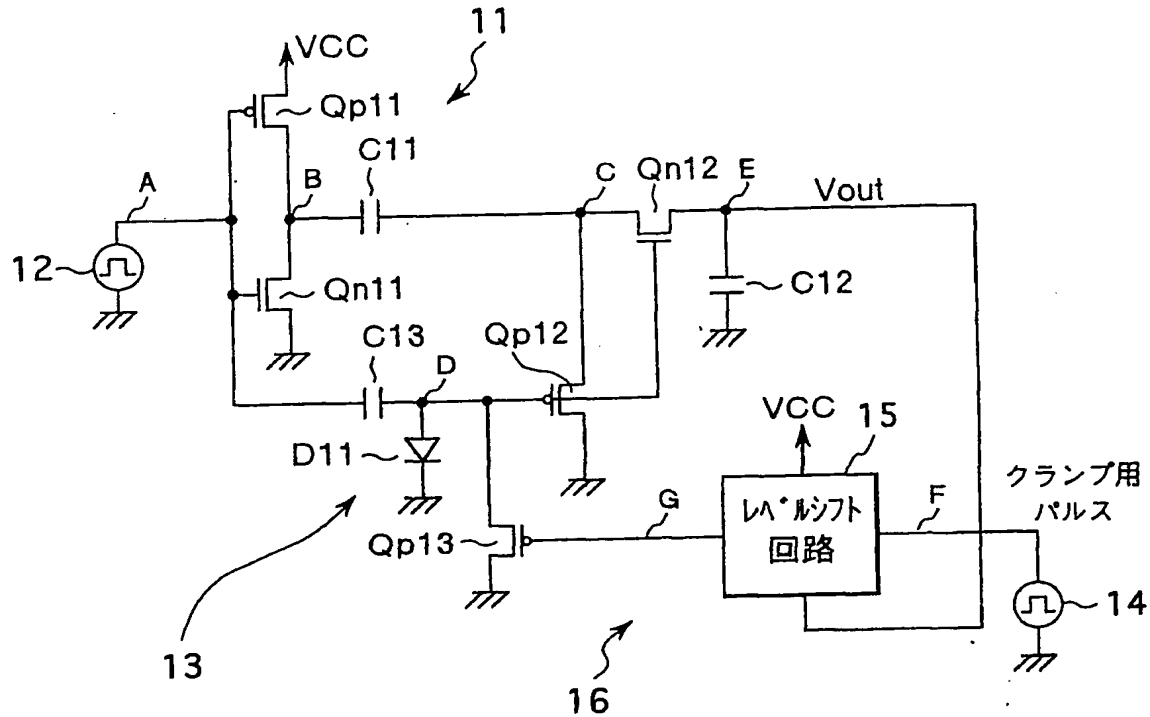
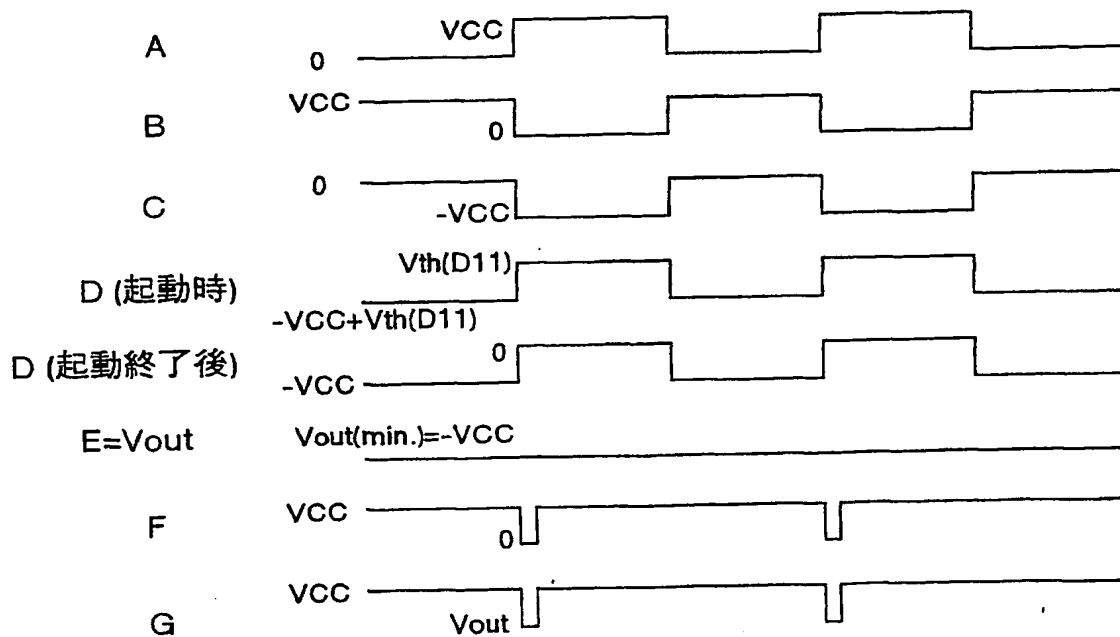


Fig.10



5/21

Fig.11

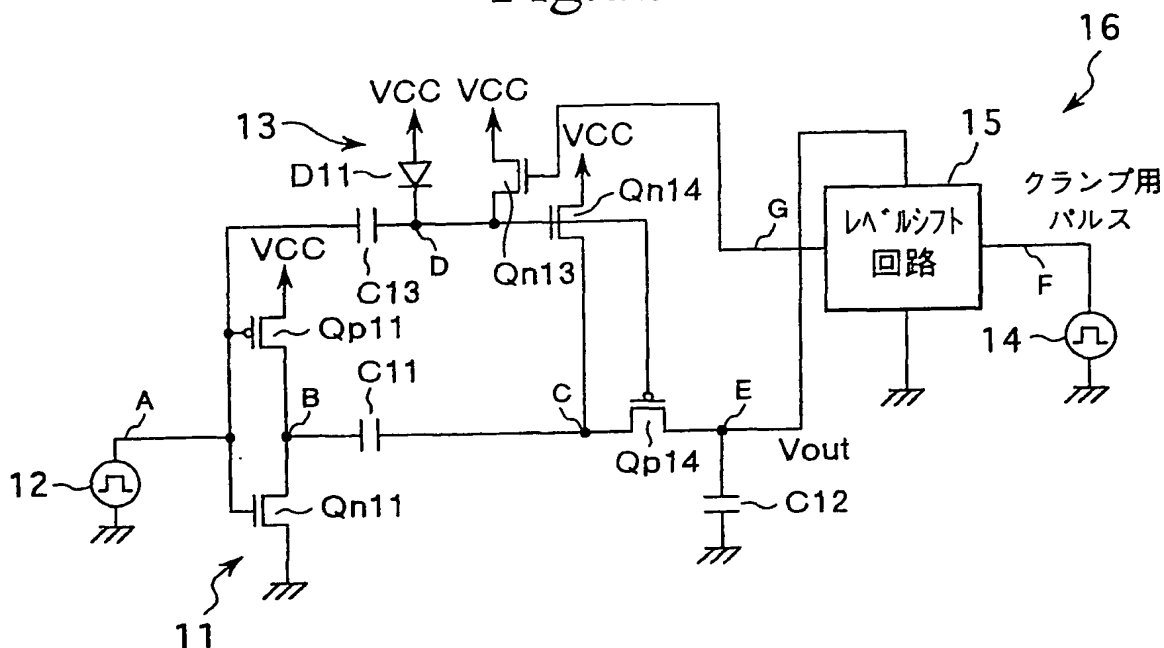
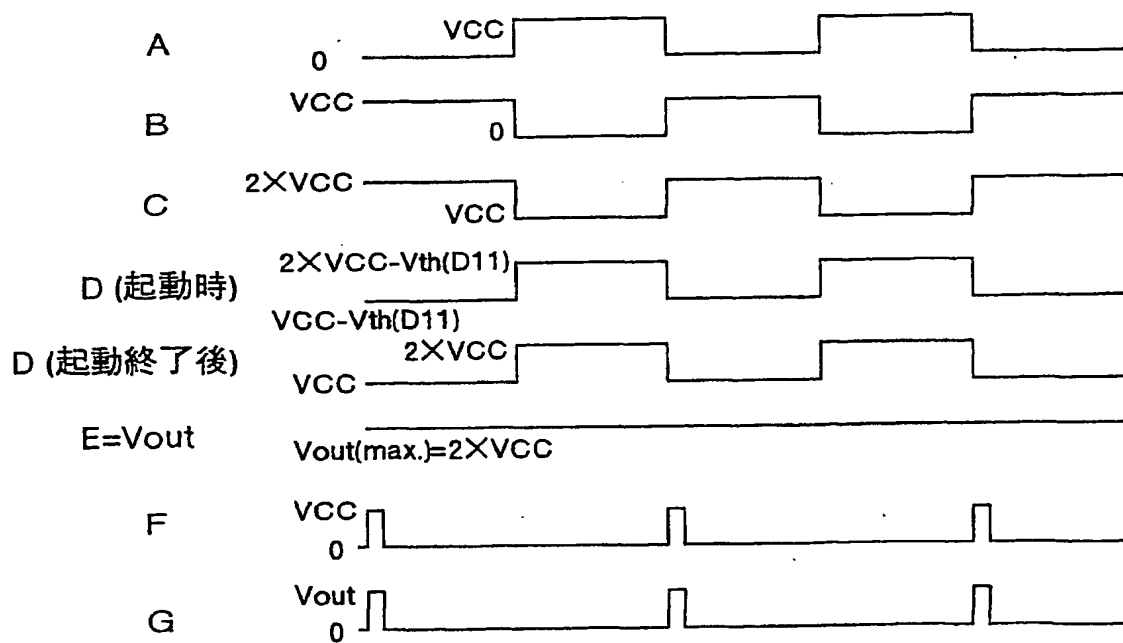


Fig.12



6/21

Fig.13

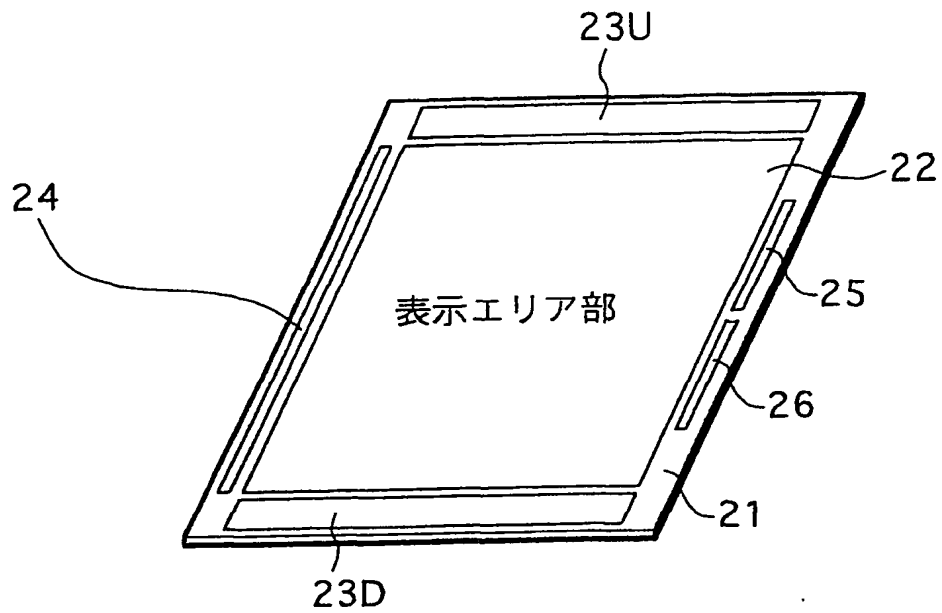
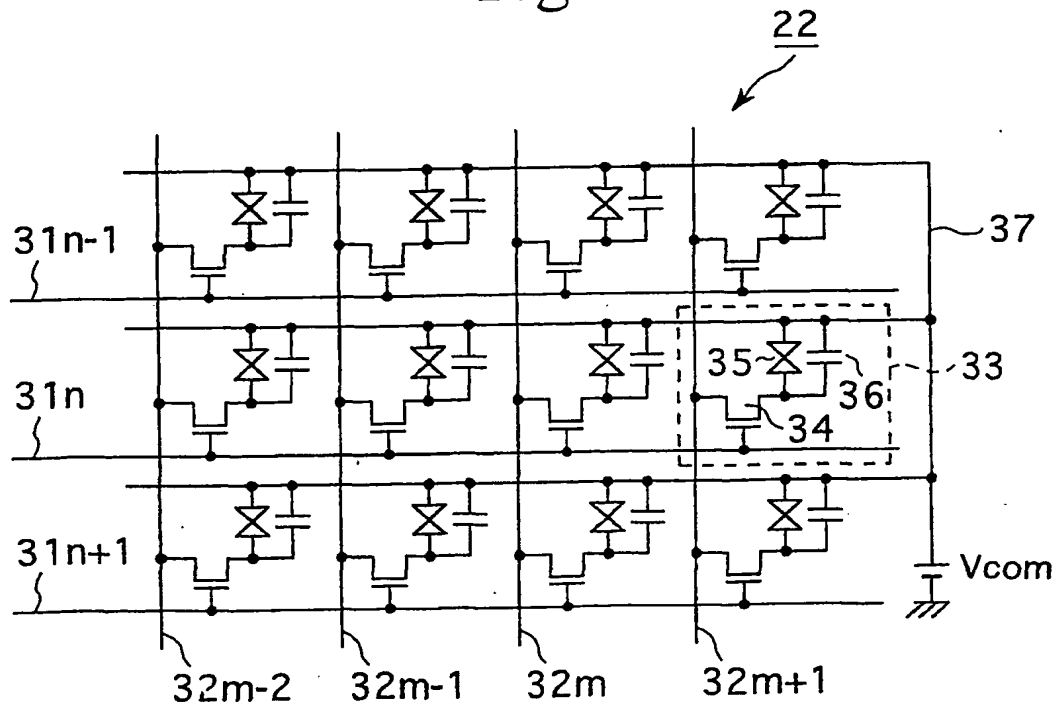


Fig.14



7/21

Fig.15

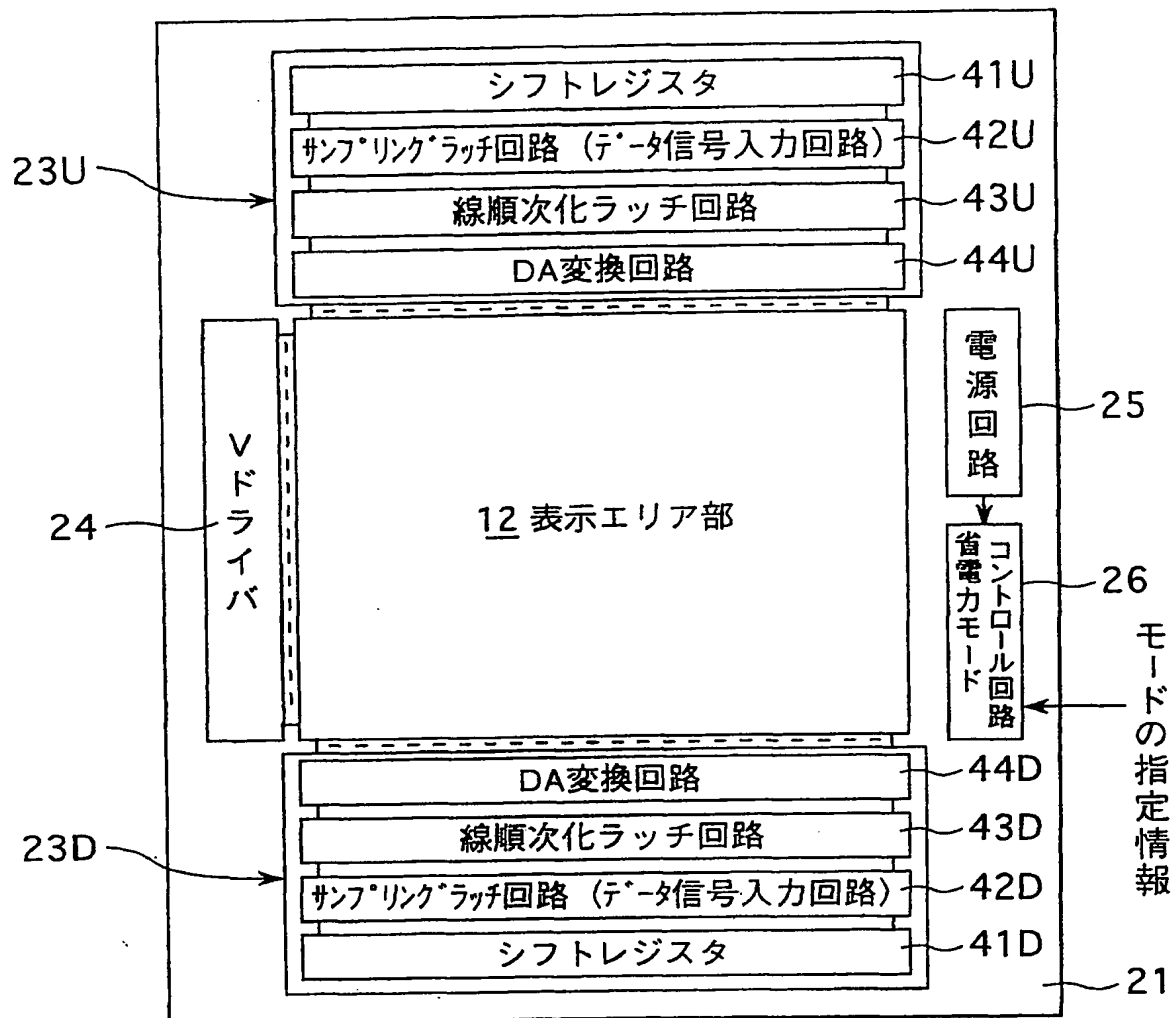
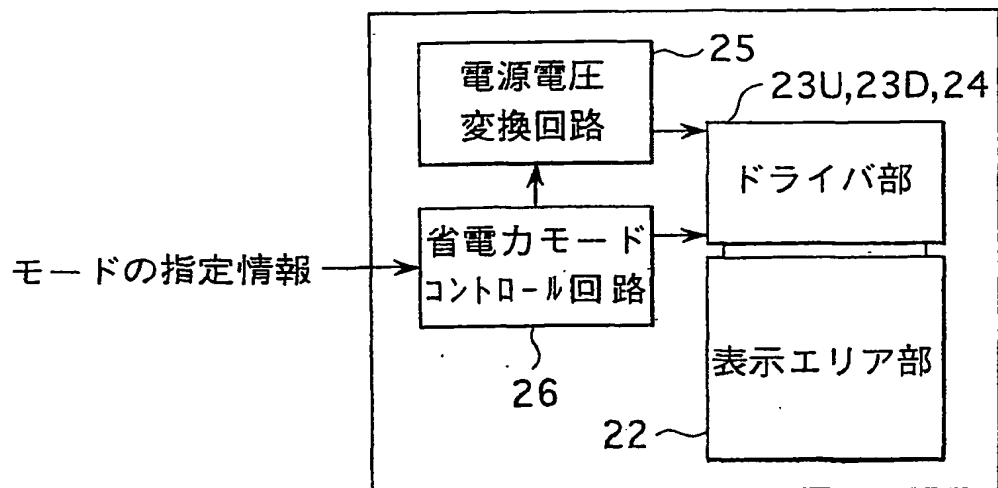


Fig.16



8/21

Fig.17

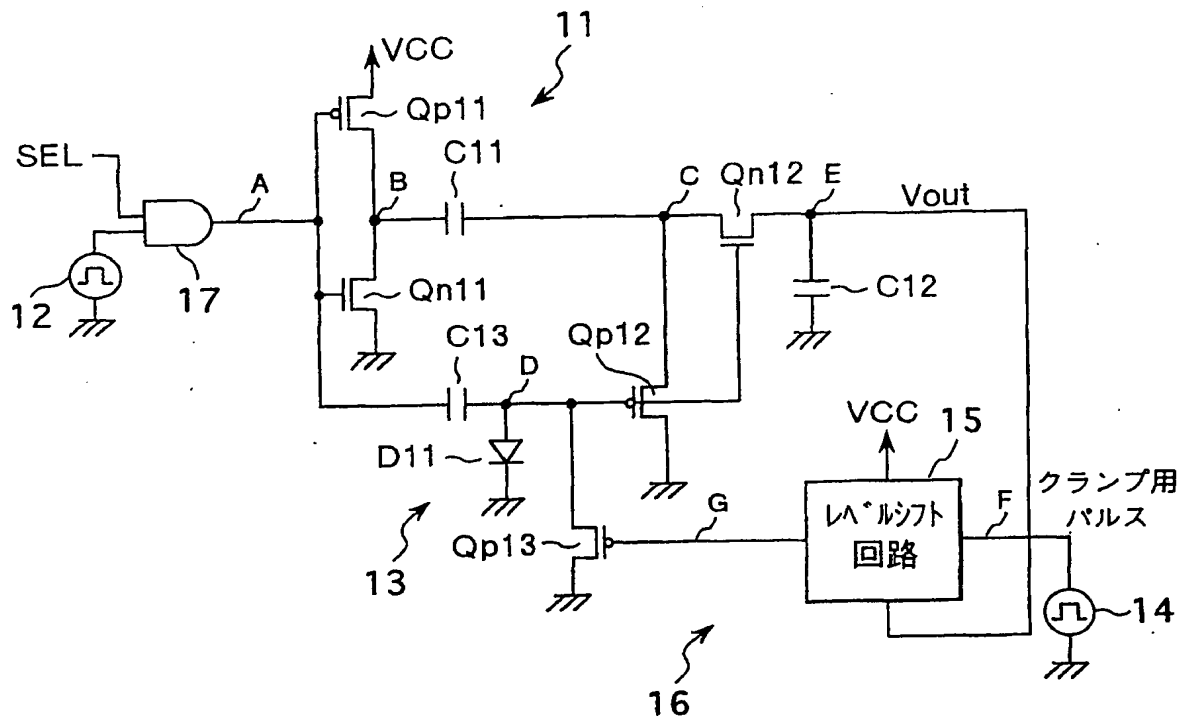
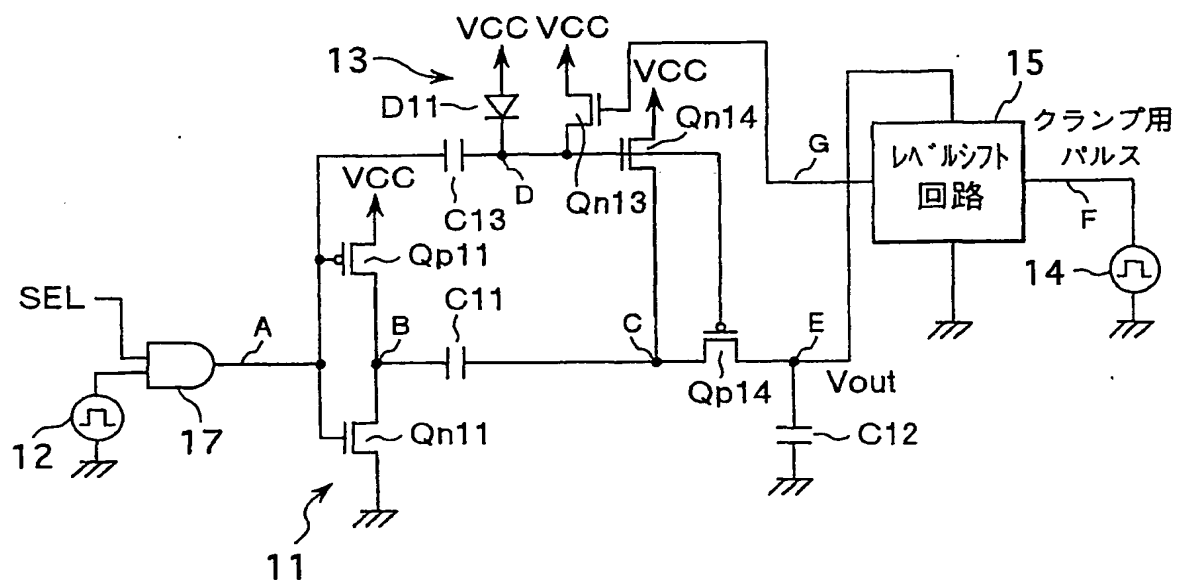


Fig.18





9/21

Fig.19

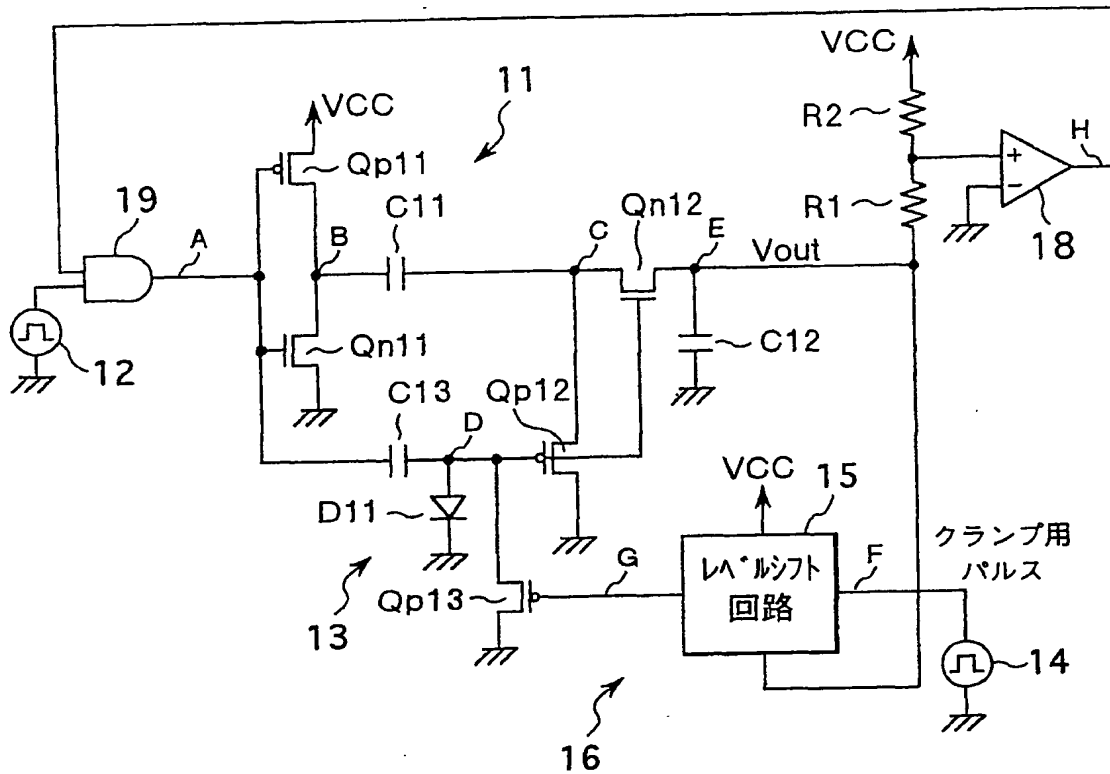
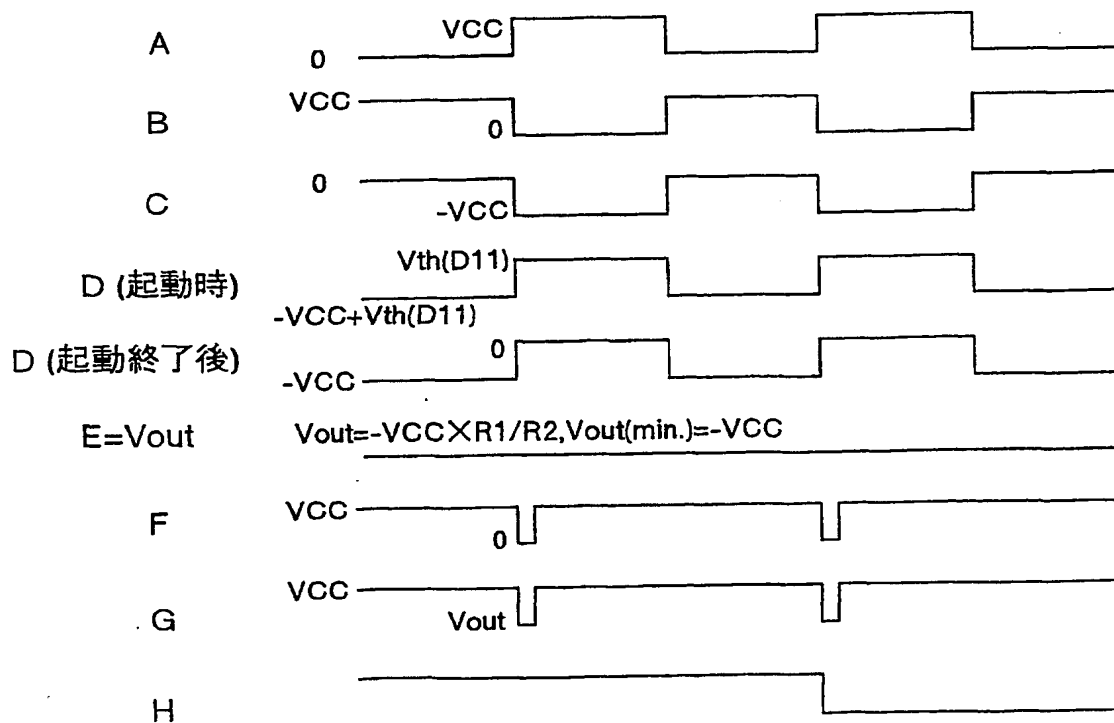


Fig.20



10/21

Fig.21

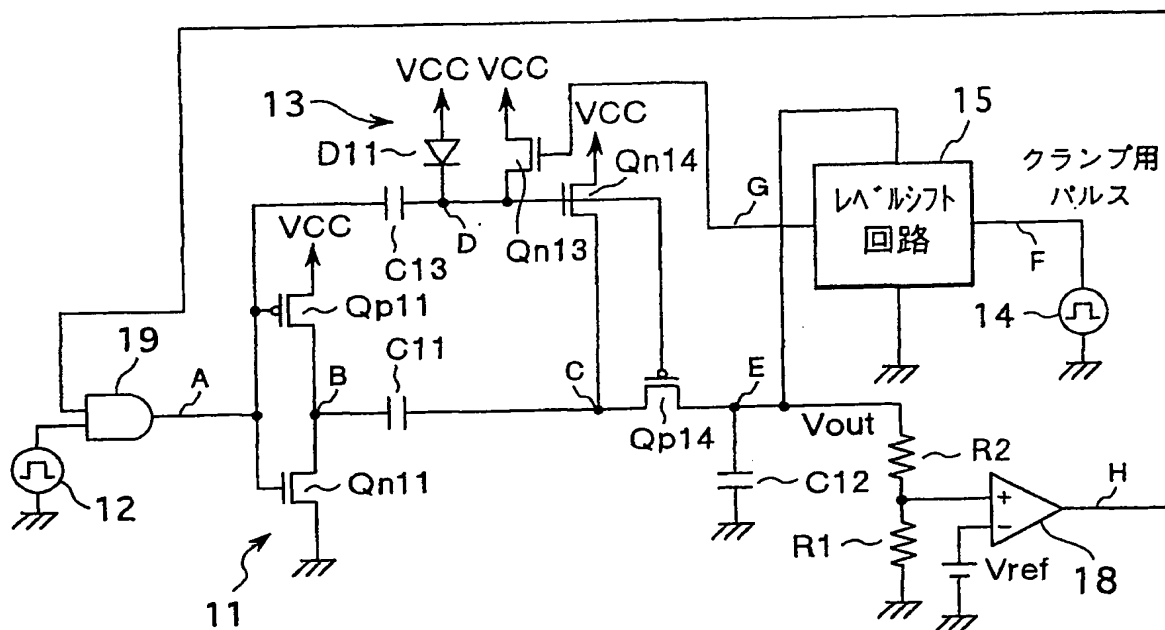
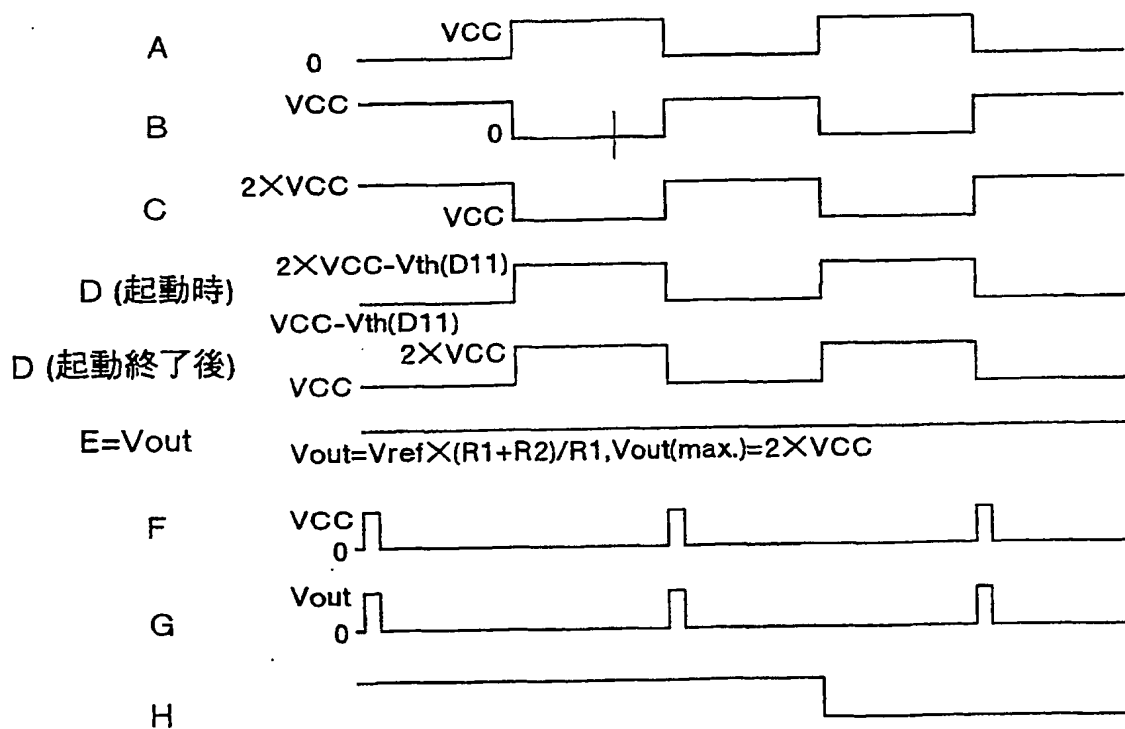


Fig.22



11/21

Fig.23

一部表示領域の位置、  
ライン数の指定情報

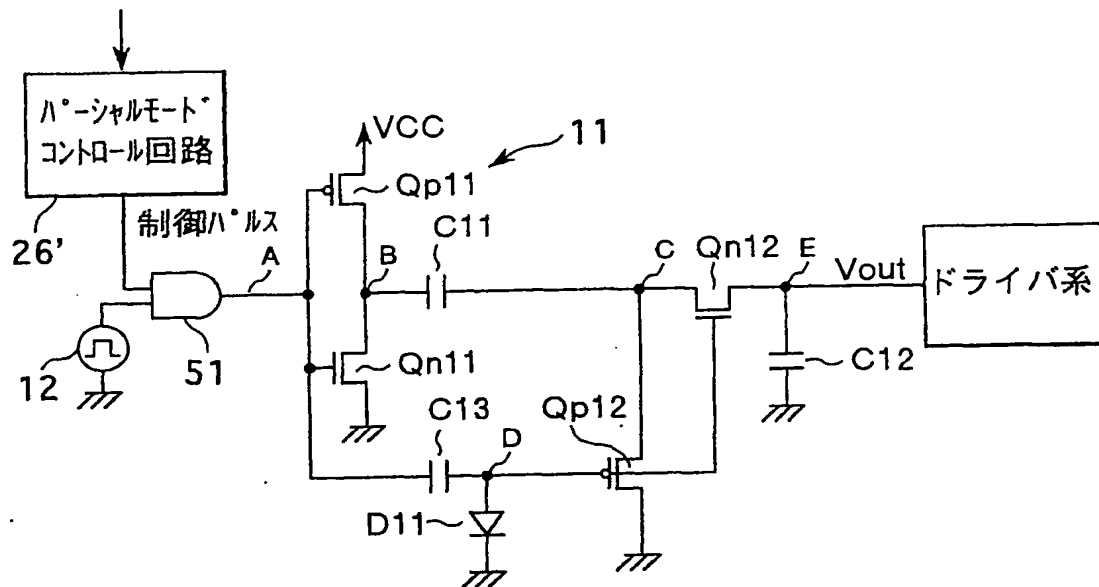
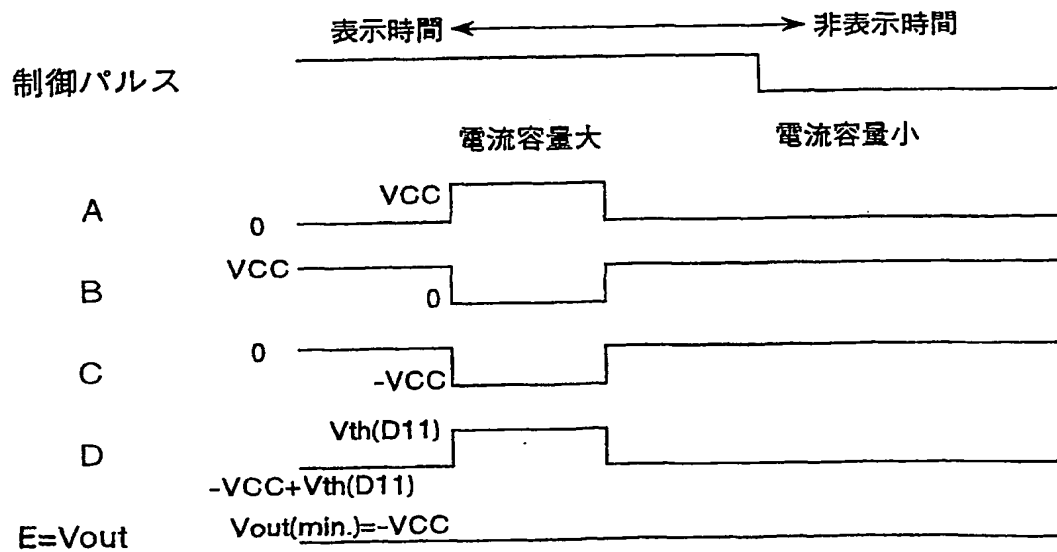


Fig.24



12/21

Fig.25

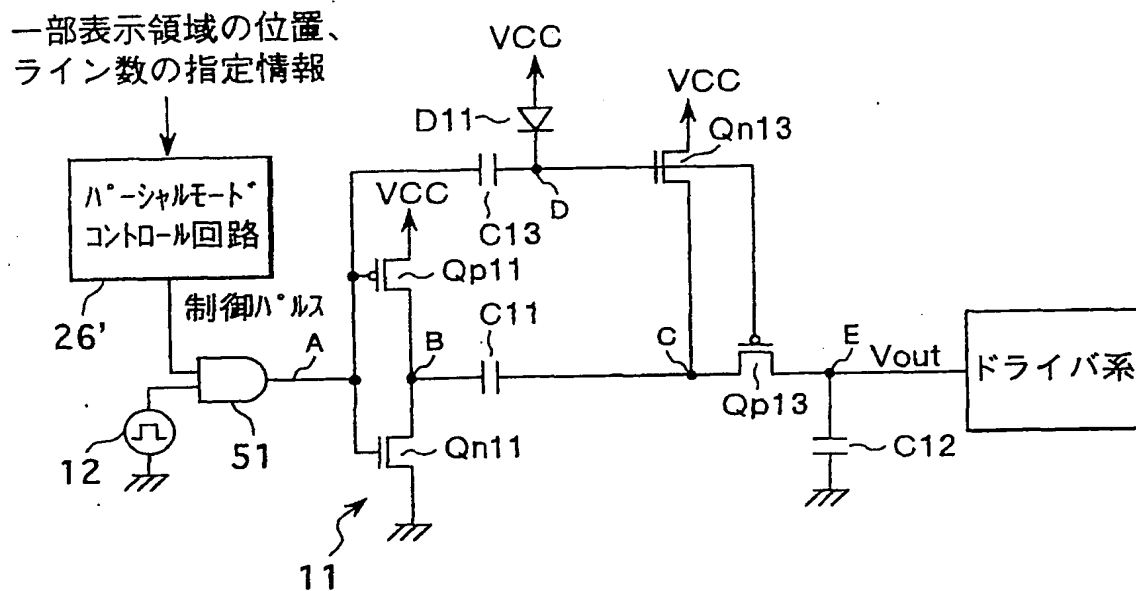
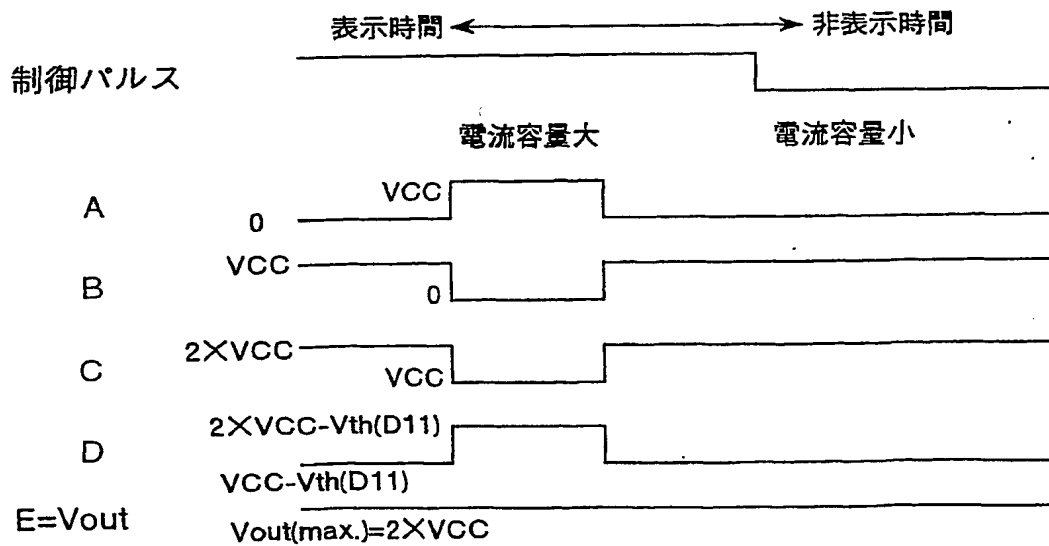


Fig.26



13/21

Fig.27

一部表示領域の位置、  
ライン数の指定情報

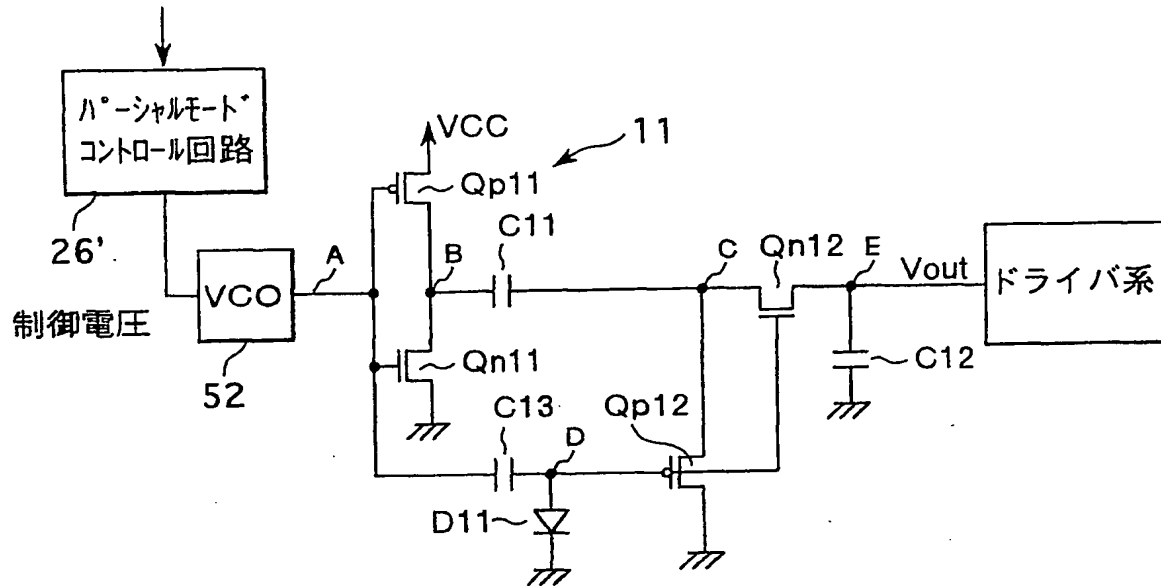
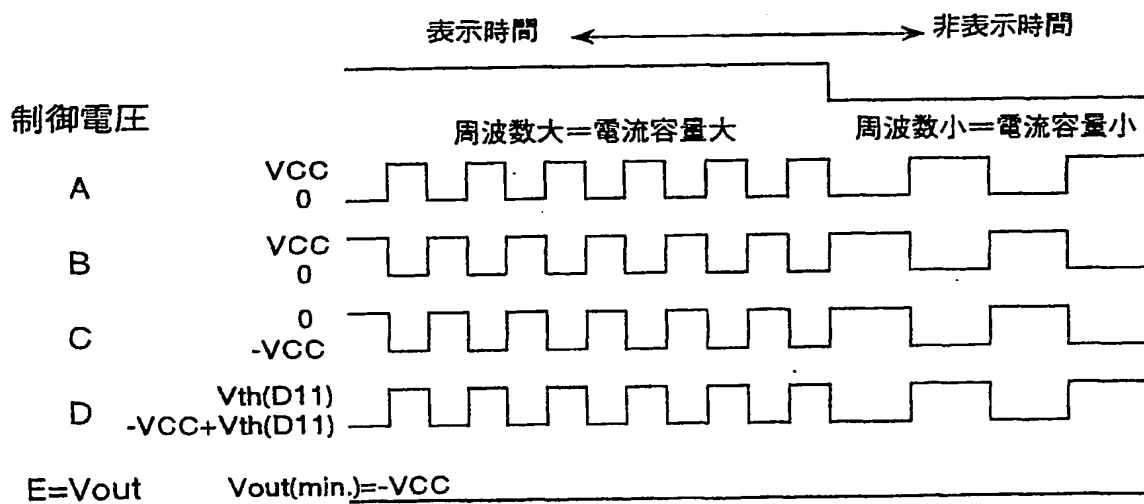


Fig.28



14/21

Fig.29

一部表示領域の位置、  
ライン数の指定情報

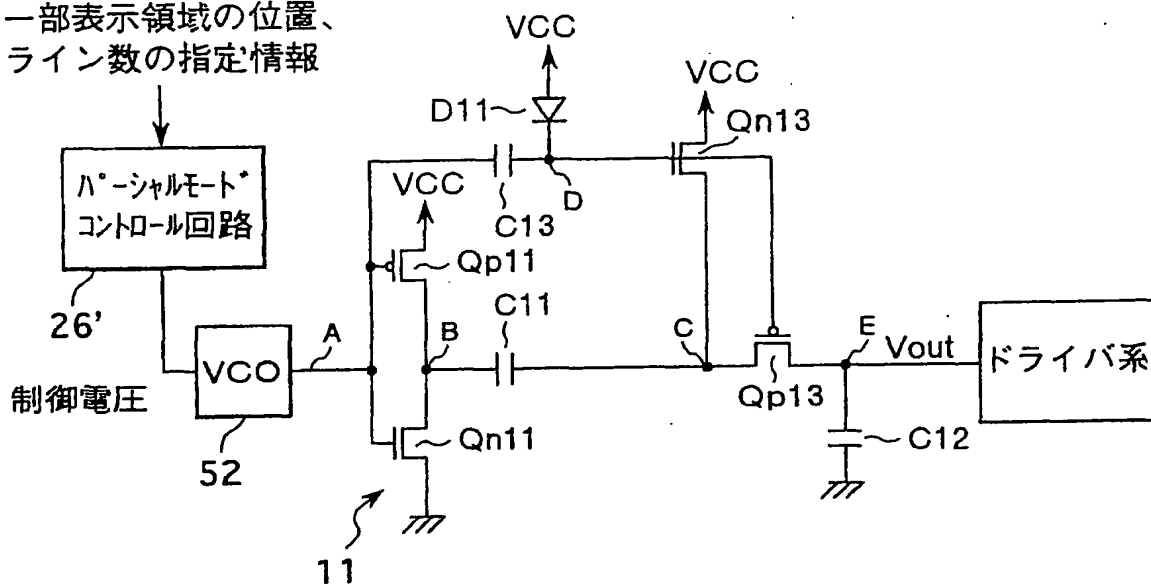
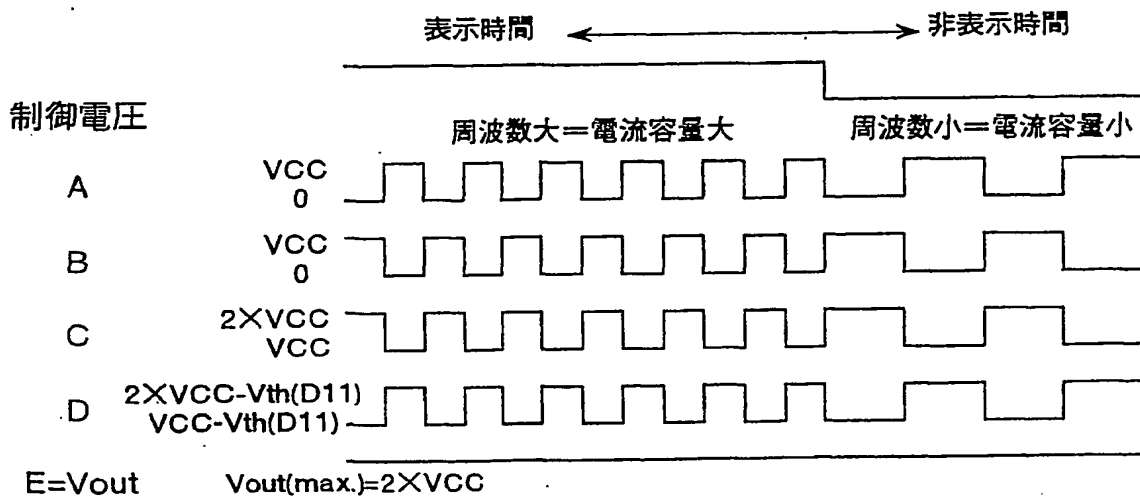


Fig.30



15/21

Fig.31

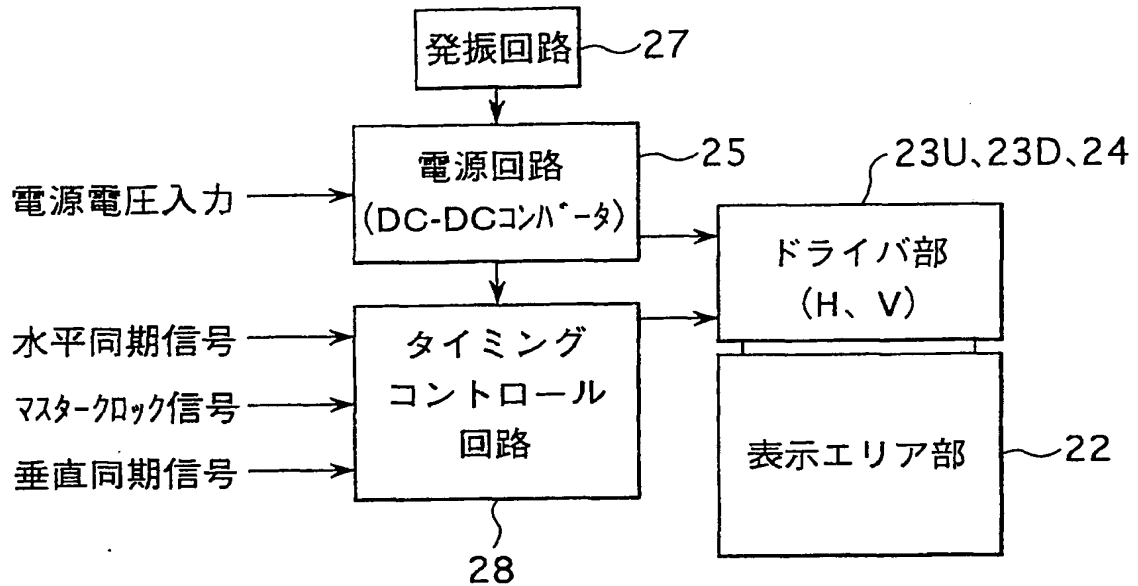
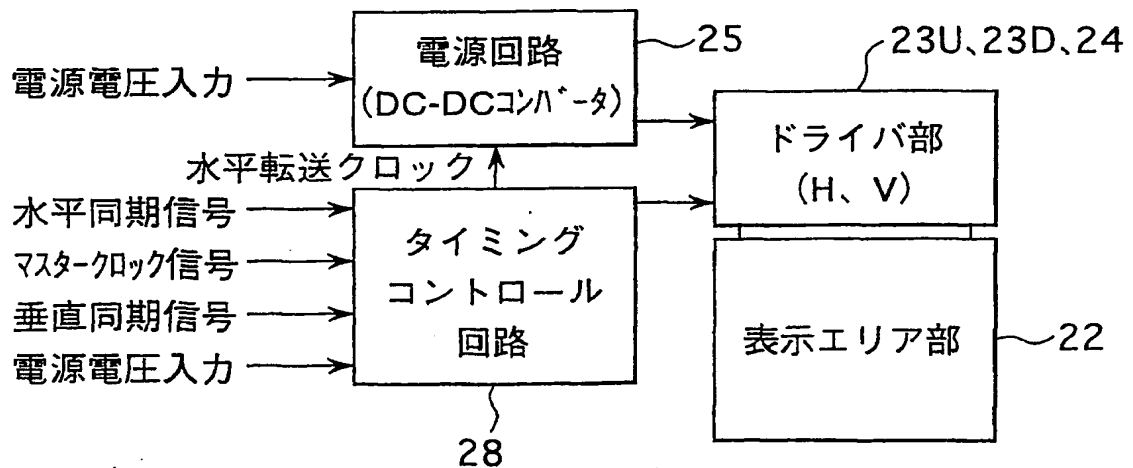
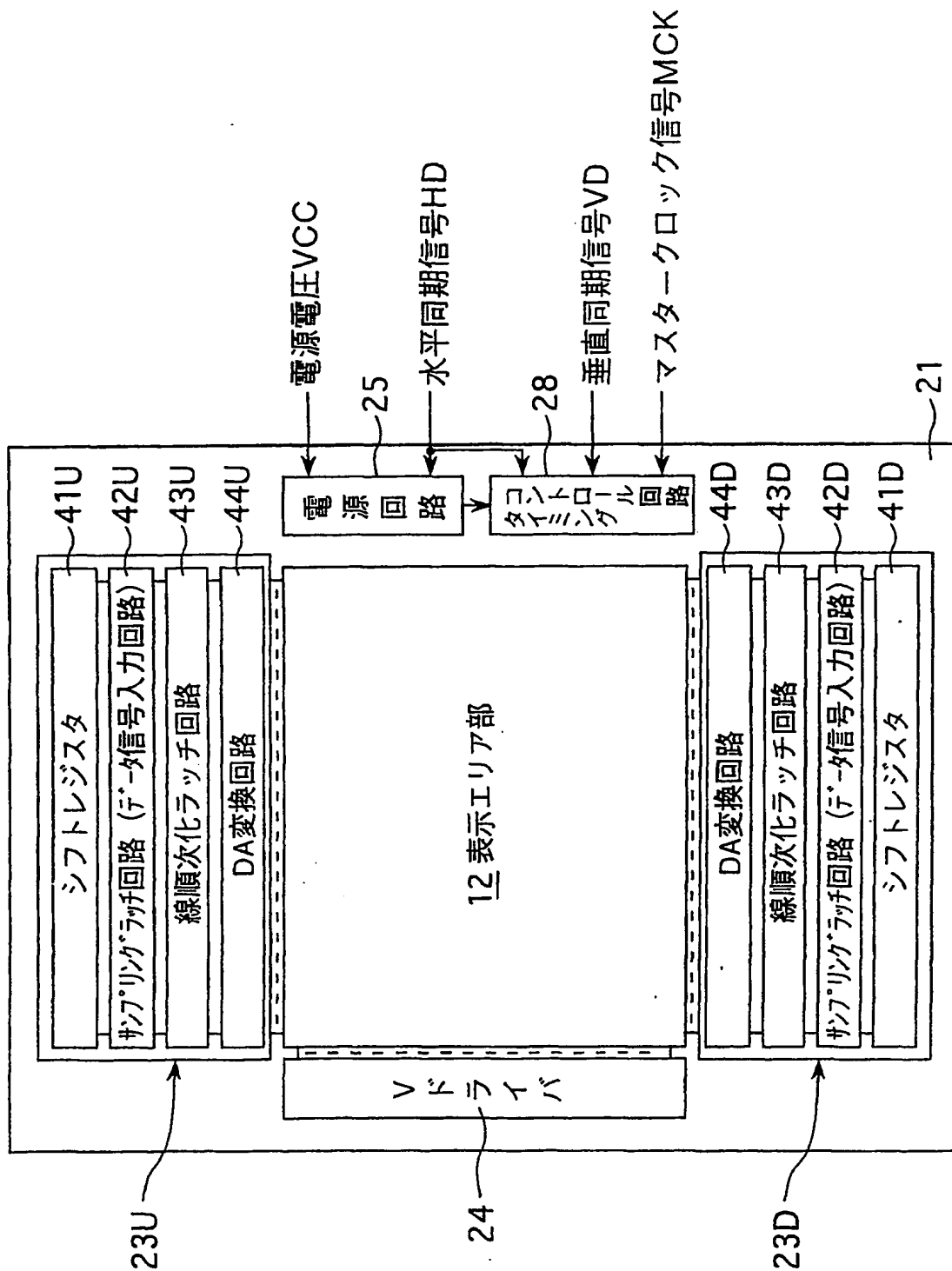


Fig.32



16/21

Fig.33







18/21

Fig.36

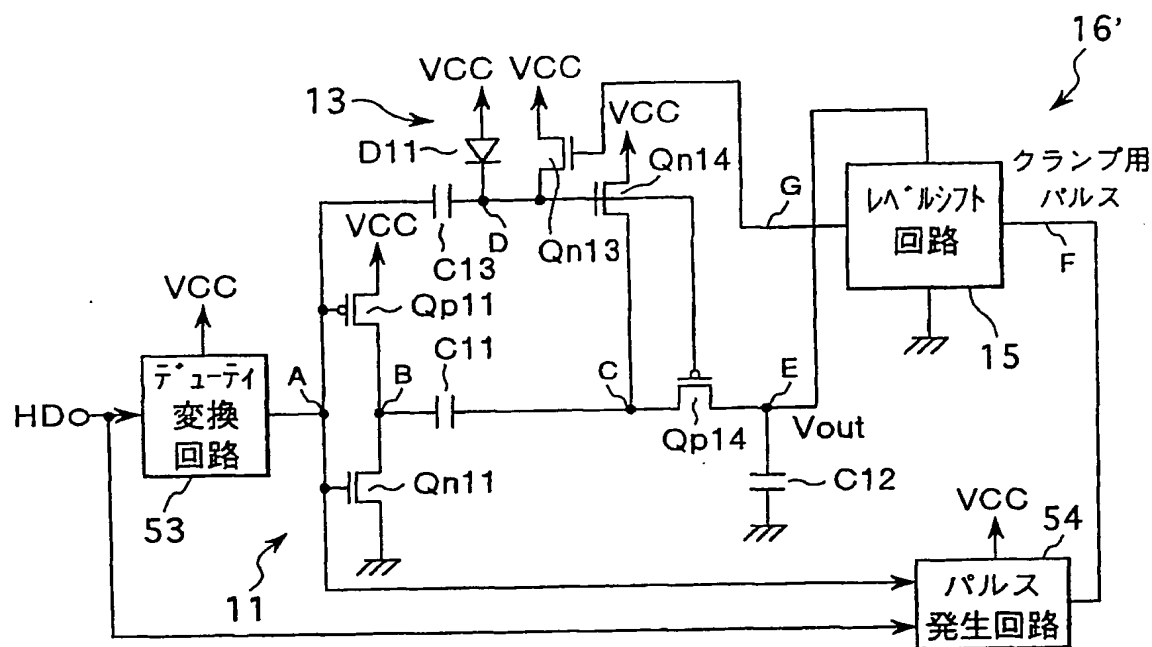
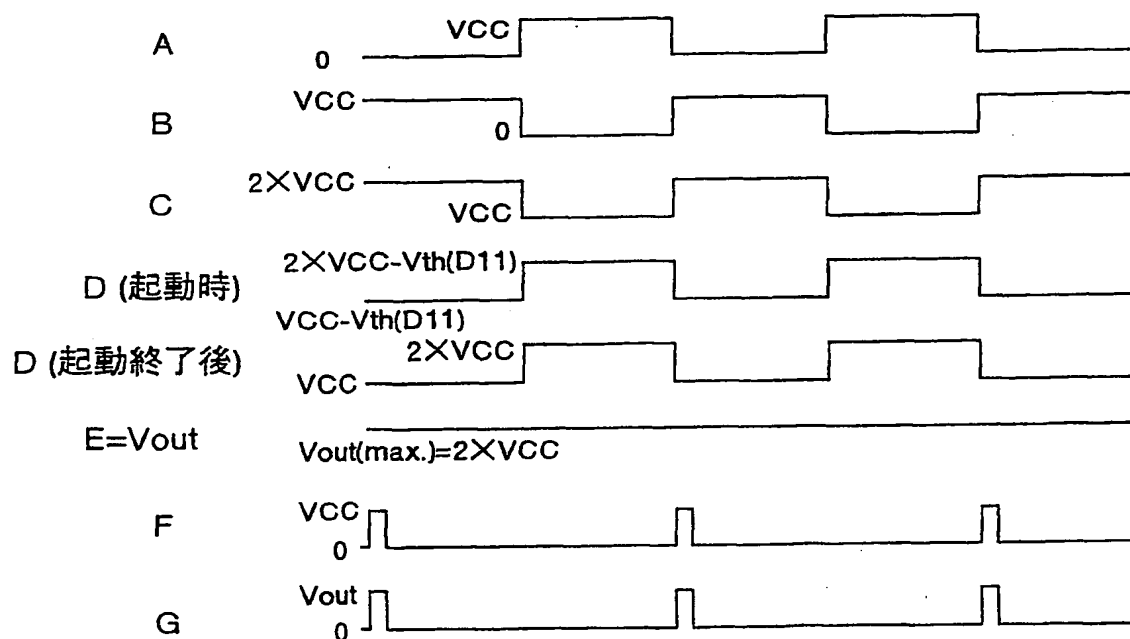


Fig.37



19/21

Fig.38

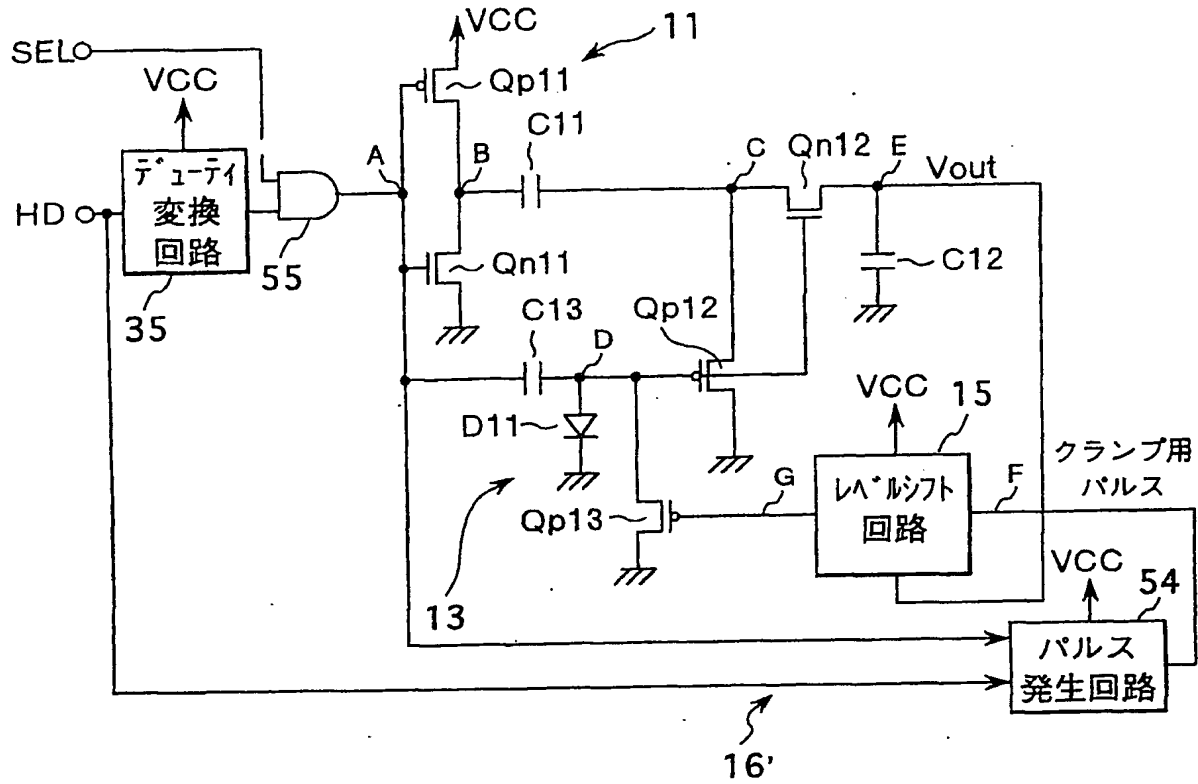
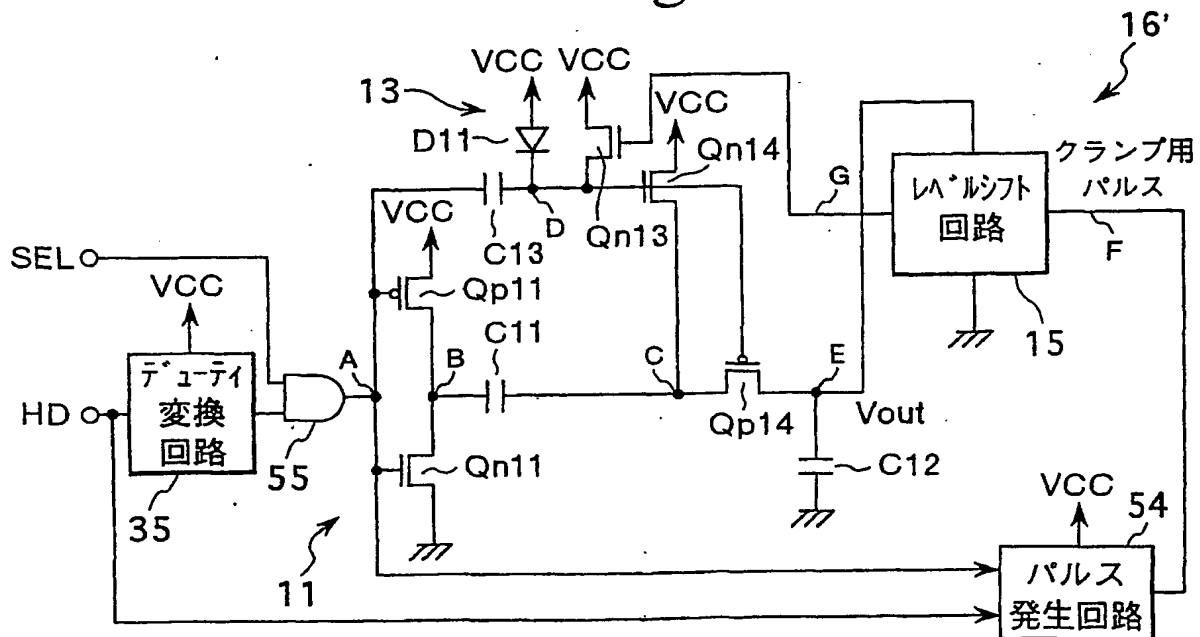


Fig.39



20/21

Fig.40

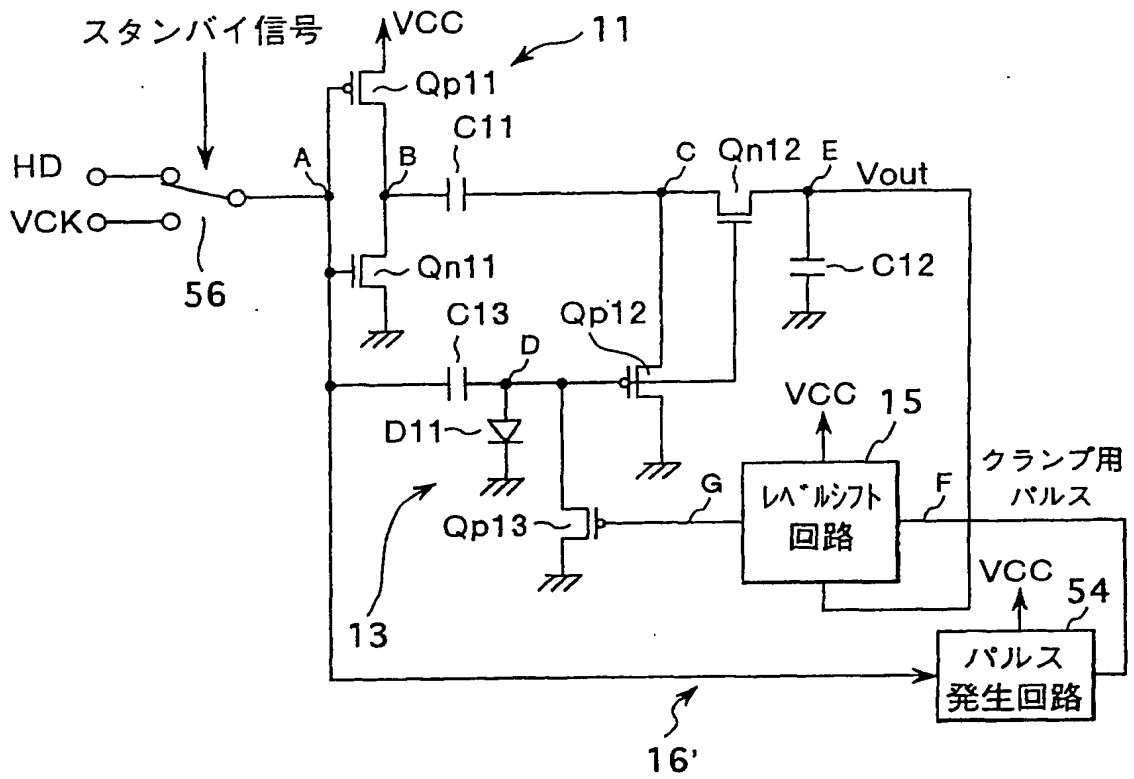
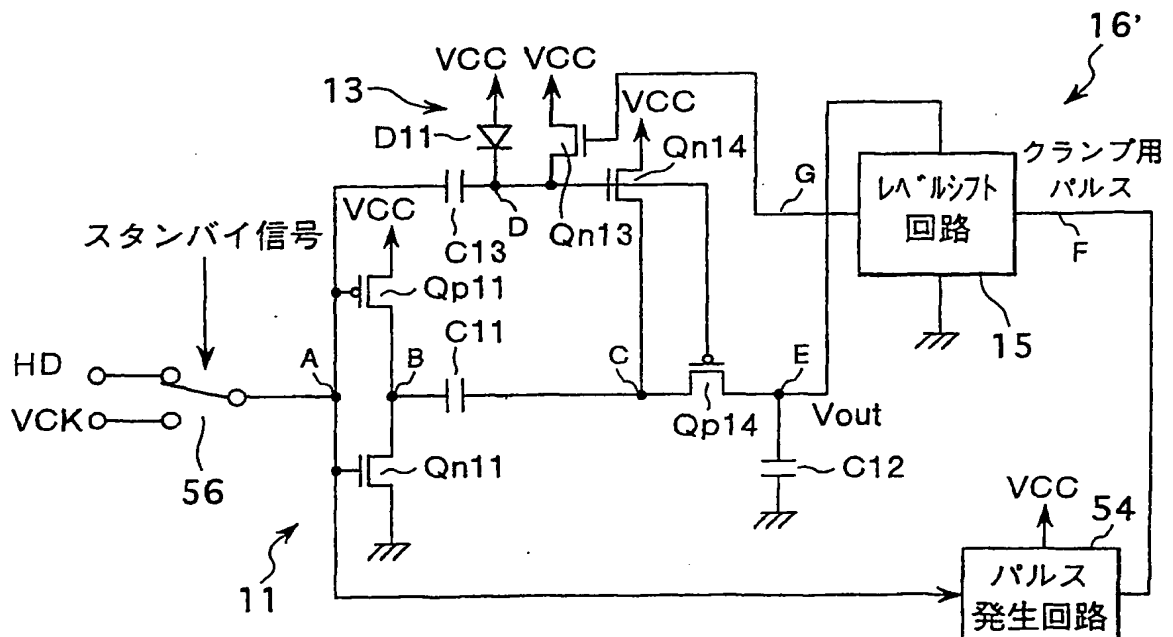
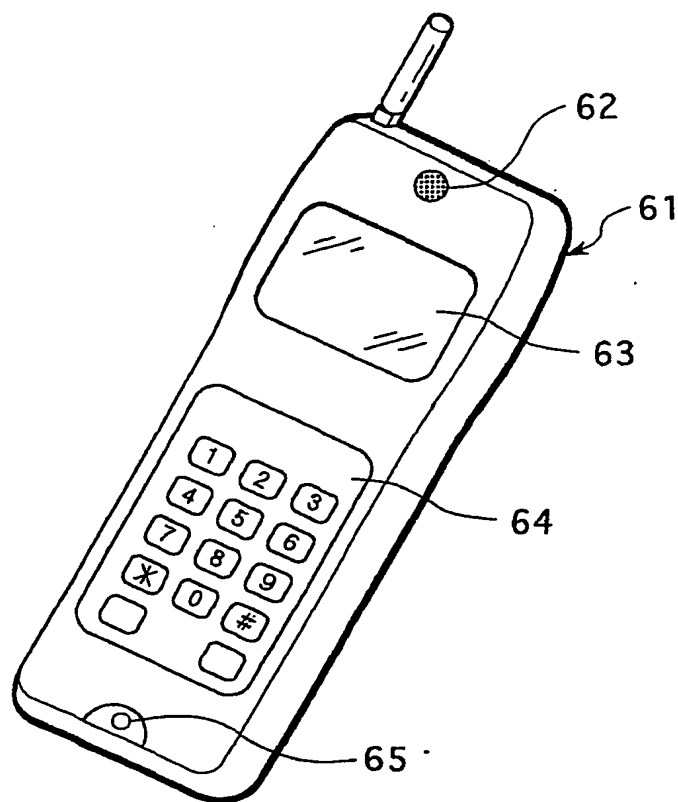


Fig.41



21/21

Fig.42



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/10694

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H02M3/07

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H02M3/07

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Toroku Jitsuyo Shinan Koho	1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y  A	JP, 7-73669, A (Hitachi, Ltd.), 17 March, 1995 (17.03.95), Claims (Family: none)	14-16, 38-40 1, 2, 6, 7, 19, 20, 25, 34, 41, 45, 49, 50 3-5, 8-13, 17, 18, 21-24, 26- 33, 35-37, 42- 44, 46-48
Y	JP, 7-322605, A (Fujitsu Ltd.), 08 December, 1995 (08.12.95), Claims (Family: none)	1, 2, 6, 7, 34
Y	JP, 1-110758, A (Matsushita Electric Industrial Co., Ltd.), 27 April, 1989 (27.04.89), Claims (Family: none)	19, 20, 25, 41, 45, 49, 50

☐ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

 Date of the actual completion of the international search  
05 March, 2002 (05.03.02)

 Date of mailing of the international search report  
19 March, 2002 (19.03.02)

 Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H02M3/07

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H02M3/07

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
日本国公開実用新案公報 1971-2002年  
日本国実用新案登録公報 1996-2002年  
日本国登録実用新案公報 1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y  A  Y	JP 7-73669 A (株式会社日立製作所) 1995. 03. 17 特許請求の範囲 (ファミリーなし)   JP 7-322605 A (富士通株式会社) 1995. 12. 08 特許請求の範囲 (ファミリーなし)	14-16、38-40 1、2、6、7、19、 20、25、34、41 45、49、50 3-5、8-13、17、 18、21-24、26- 33、35-37、42- 44、46-48 1、2、6、7、34

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

05. 03. '02

国際調査報告の発送日

19.03.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

堀川一郎

3V

8325

電話番号 03-3581-1101 内線 3356

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 1-110758 A (松下電器産業株式会社) 1989. 04. 27 特許請求の範囲 (ファミリーなし)	19、20、25、41、 45、49、50